

本章内容



7.1 概述

7.2 只读存储器 (ROM)

7.3 随机存储器 (RAM)

7.4 存储器容量的扩展

7.5 用存储器实现组合逻辑函数

1

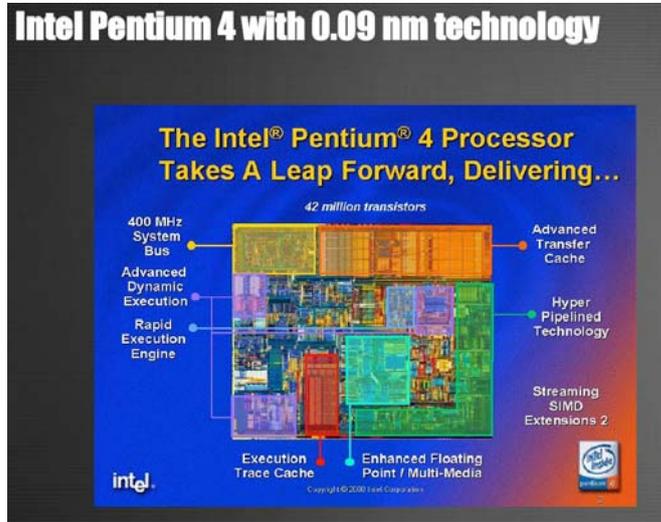
第七章 半导体存储器

内容提要

本章将系统地介绍各种半导体存储器的工作原理和使用方法。半导体存储器包括**只读存储器 (ROM)**和**随机存储器 (RAM)**。在只读存储器中，介绍了掩模ROM、PROM和快闪存储器等不同类型的ROM的工作原理和特点；而在随机存储器中，介绍了静态RAM (SRAM) 和动态RAM (DRAM) 两种类型。此外，也介绍了存储器扩展容量的连接方法以及用存储器设计组合逻辑电路，重点放在这里。

2

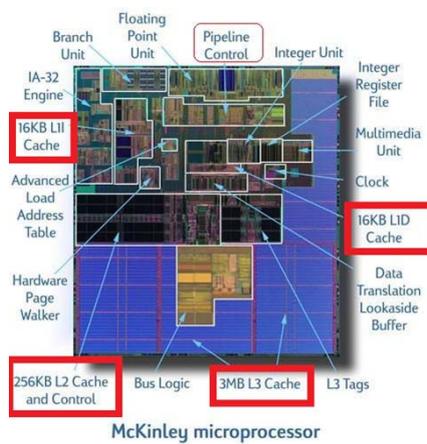
奔4处理器中的SRAM



3



McKinley微处理器中的SRAM

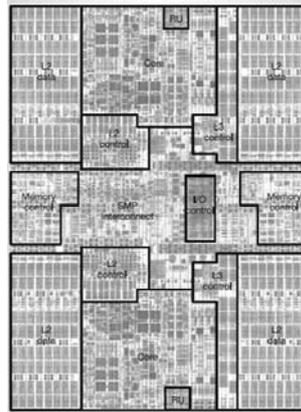
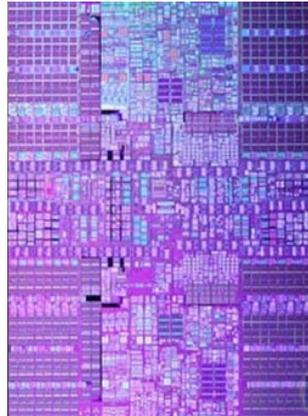


4





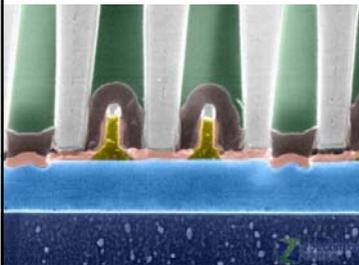
Power 6 @ 2007.5



5



Power 6 @ 2007.5

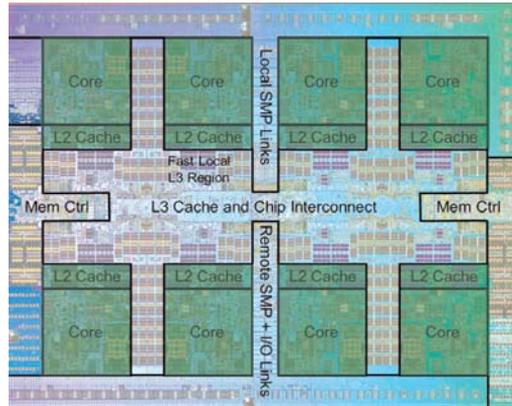
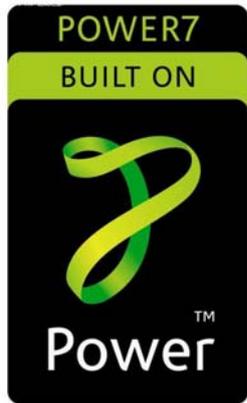


- POWER 6包含7.9亿个晶体管。上图中的金色小突起就是两个。使用了IBM发明的纳米级电子扫描显微镜。
- POWER 6是64位双核，频率4.7GHz。二级缓存是8MB。片外三级缓存32MB。

6



IBM Power 7 @ 2010.2



7



7.1 概述



1. 半导体存储器的定义

半导体存储器就是能存储大量二值信息（或称作二值数据）的半导体器件。它是属于大规模集成电路，由于计算机以及一些数字系统中要存储大量的数据，因此存储器是数字系统中不可缺少的组成部分，其组成框图如图7.1.1所示。

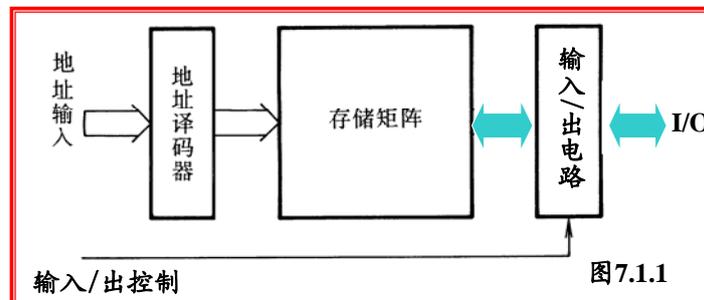


图7.1.1

8





7.1 概述

2. 存储器的性能指标

由于计算机处理的数据量很大，运算速度越来越快，故对存储器的速度和容量有一定的要求。所以将**存储量**和**存取速度**作为衡量存储器的重要性能指标。目前**动态存储器**的容量已达 **10^9 位/片**，一些高速存储器的**存取时间**仅**10ns**左右。

3. 半导体存储器的分类

(1) 从存取功能上分类

从**存取功能**上可分为**只读存储器**（Read - Only Memory，简称**ROM**）和**随机存储器**（Random Access Memory，简称**RAM**）。

9



7.1 概述

a. ROM :

ROM的特点是在正常工作状态下只能从中读取数据，**不能快速随时**修改或重新写入数据。其电路结构简单，而且断电后数据也不会丢失。缺点是只能用于存储一些固定数据的场合。

ROM可分为**掩模ROM**、**可编程ROM**（Programmable Read - Only Memory，简称**PROM**）和**可擦除的可编程ROM**（Erasable Programmable Read - Only Memory，简称**EPROM**）。

***掩模ROM**在制造时，生产厂家利用掩模技术把数据写入存储器中，一旦ROM制成，其存储的数据就固定不变，无法更改。

10



7.1 概述



****PROM**在出厂时存储内容全为1 (或者全为0),用户可根据自己的需要写入,利用通用或专用的编程器,将某些单元改写为0(或为1)。

*****EPROM**是采用**浮栅技术**的可编程存储器,其数据不但可以由用户根据自己的需要写入,而且还能擦除重写,所以具有较大的使用灵活性。它的数据的写入需要通用或专用的编程器,其擦除为照射擦除,为一次全部擦除。**电擦除的PROM有 E²PROM和快闪ROM。**

7.1 概述



b. 随机存储器RAM (读写存储器)

随机存储器为在正常工作状态下就可以随时向存储器里写入数据或从中读出数据。

根据采用的存储单元工作原理不同随机存储器又可分为**静态存储器** (Static Random Access Memory, 简称SRAM) 和**动态存储器** (Dynamic Random Access Memory, 简称DRAM)

SRAM的特点是数据由触发器记忆,只要不断电,数据就能永久保存。但SRAM存储单元所用的管子数量多,功耗大,集成度受到限制,为了克服这些缺点,则产生了DRAM。它的集成度要比SRAM高得多,缺点是速度不如SRAM。

7.1 概述



RAM使用灵活方便，可以随时从其中任一指定地址读出（取出）或写入（存入）数据，缺点是具有数据的易失性，即一旦失电，所存储的数据立即丢失。

(2) 从制造工艺上分类

从制造工艺上存储器可分为**双极型**和**单极型**（CMOS型），由于MOS电路（特别是CMOS电路），具有功耗低、集成度高的优点，所以目前大容量的存储器都是采用MOS工艺制作的。

本章内容



7.1 概述

7.2 只读存储器 (ROM)

7.3 随机存储器 (RAM)

7.4 存储器容量的扩展

7.5 用存储器实现组合逻辑函数

1

7.2 只读存储器 (ROM)



7.2.1 掩模只读存储器

在采用掩模工艺制作ROM时，其中存储的数据是由制作过程中使用的掩模板决定的，此模板是厂家按照用户的要求专门设计的，因此出厂时数据已经“固化”在里面了。

1. ROM的组成:

ROM电路结构包含存储矩阵、地址译码器和输出缓冲器三个部分，其框图如图7.2.1所示。

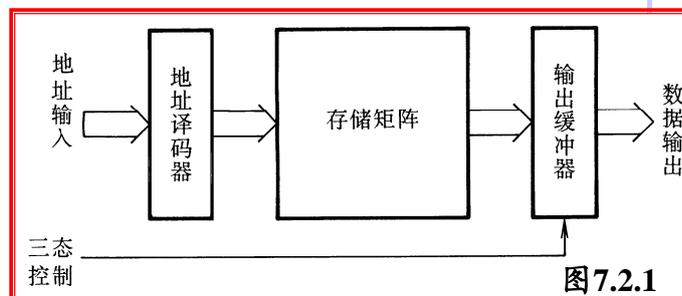


图7.2.1

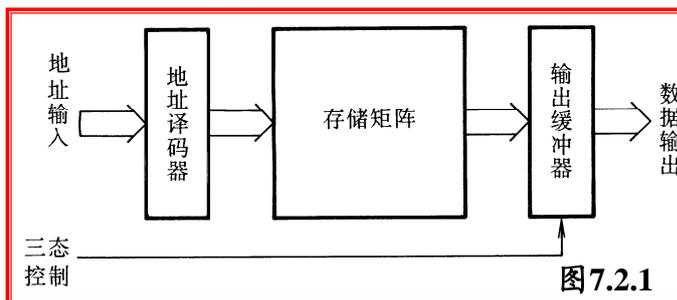
2

7.2.1 掩模只读存储器



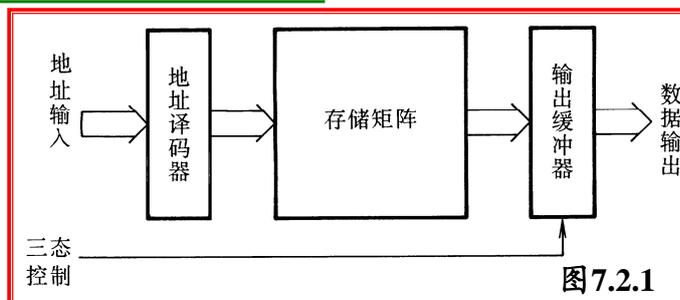
a. 存储矩阵

存储矩阵是由许多存储单元排列而成。存储单元可以是二极管、双极型三极管或MOS管，每个单元能存放1位二值代码（0或1），而每一个或一组存储单元有一个相应的地址代码。



3

7.2.1 掩模只读存储器



b. 地址译码器

地址译码器是将输入的地址代码译成相应的控制信号，利用这个控制信号从存储矩阵中把指定的单元选出，并把其中的数据送到输出缓冲器

c. 输出缓冲器

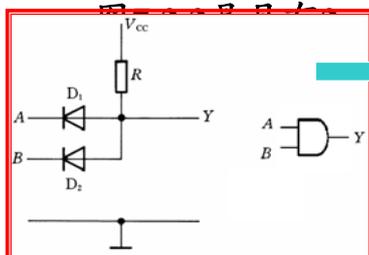
输出缓冲器的作用提高存储器的负载能力，另外是实现对输出状态的三态控制，以便与系统的总线相联。

4

7.2.1 掩模只读存储器



2. 二极管ROM电路



由二极管或门构成

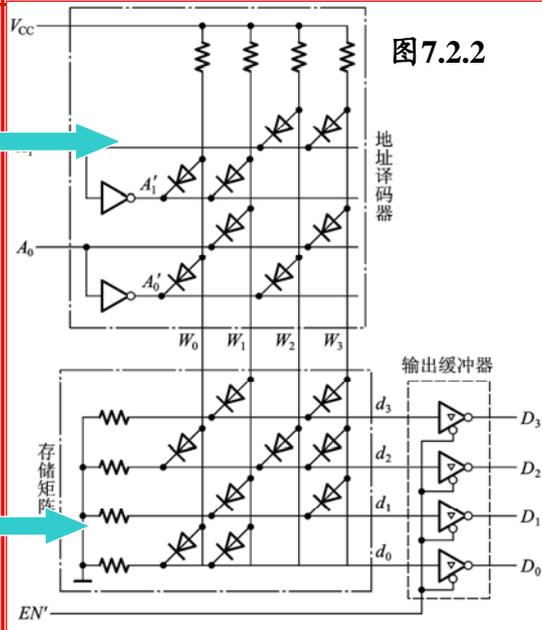
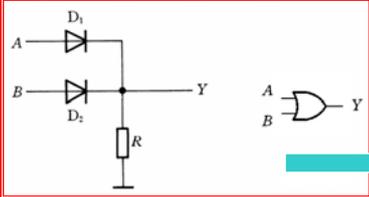


图7.2.2

5

7.2.1 掩模只读存储器



其中:

地址译码器是由4个二极管与门组成, A_1 、 A_0 称为地址线, 译码器将4个地址码译成 $W_0 \sim W_3$ 4根线上的高电平信号。

$W_0 \sim W_3$ 叫做字线。

存储矩阵是由4个二极管或门组成的编码器, 当 $W_0 \sim W_3$ 每根线分别给出高电平信号时, 都会在 $D_0 \sim D_3$ 4根线上输出二进制代码, $D_0 \sim D_3$ 称为位线(或数据线)。

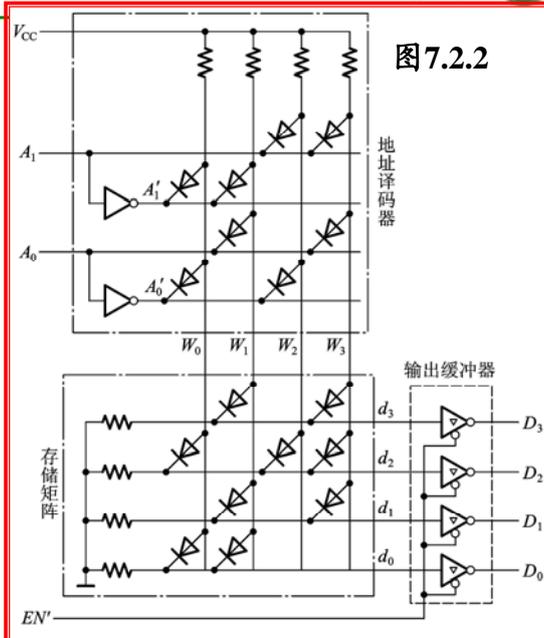
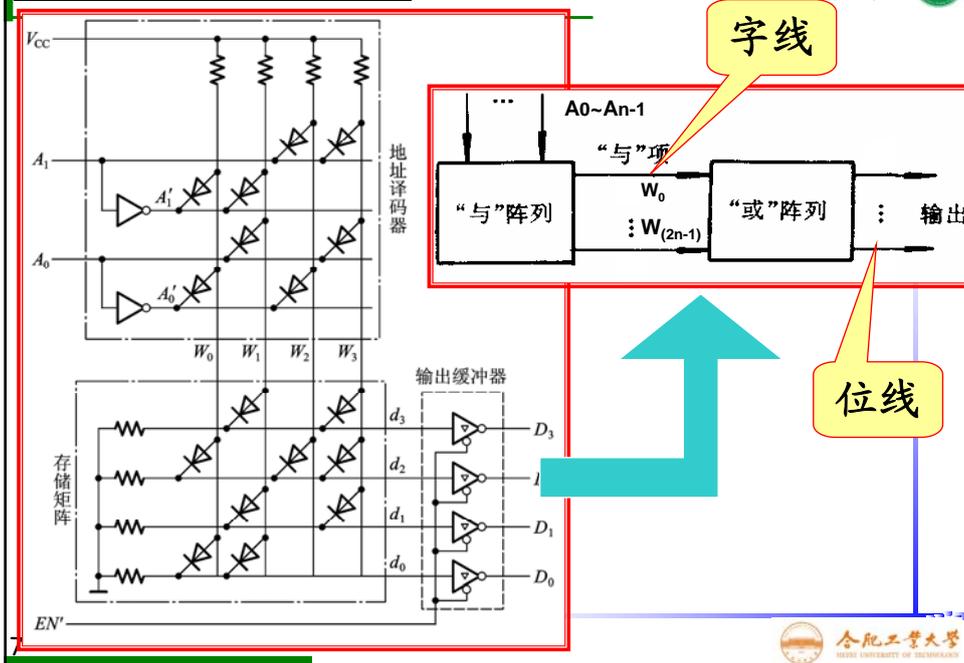


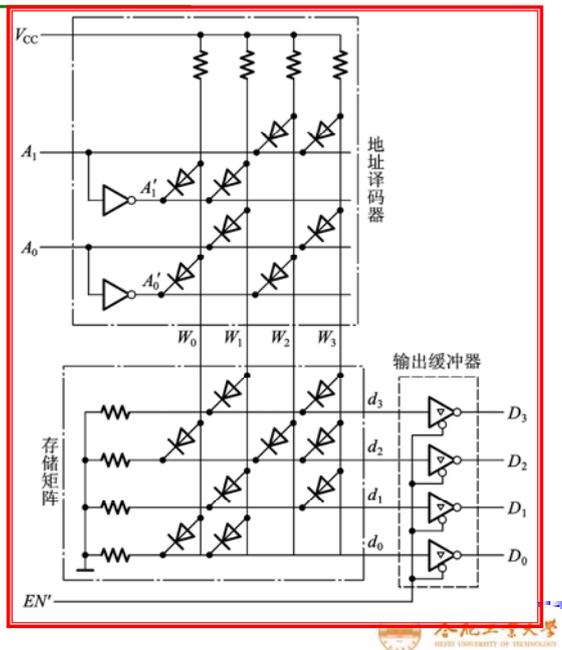
图7.2.2

7.2.1 掩模只读存储器



7.2.1 掩模只读存储器

输出端的缓冲器用来提高带负载能力，并将输出的高低电平转换成标准的逻辑电平。同时通过给定 EN' 信号实现对输出的三态控制，以便与总线相联。在读出数据时，只要输入指定的地址代码，同时令 $EN' = 0$ ，则指定的地址内各存储单元所存数据便出现在数据输出端。

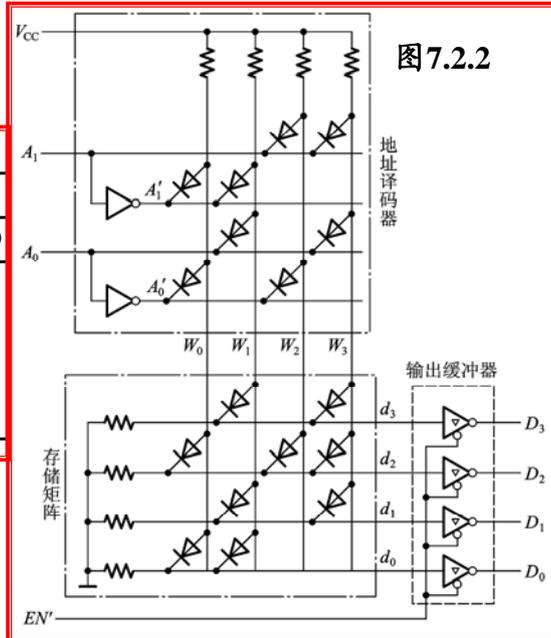


7.2.1 掩模只读存储器

图7.2.2的存储的内容见表7.2.1

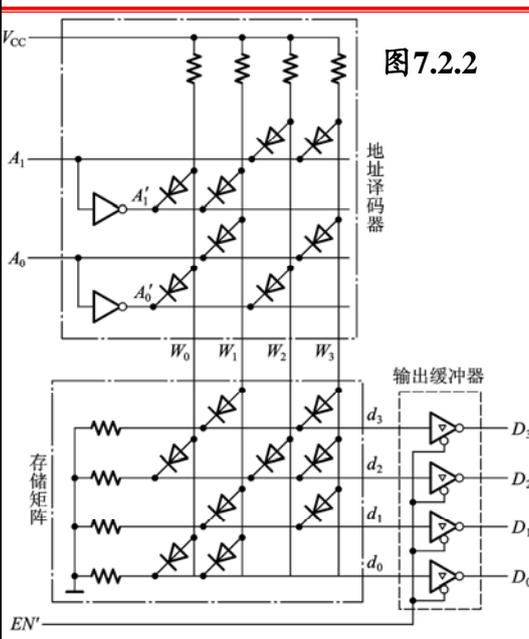
表7.2.1

地址		译码输出				数据			
A1	A0	W0	W1	W2	W3	D3	D2	D1	D0
0	0	1	0	0	0	0	1	0	1
0	1	0	1	0	0	1	0	1	1
1	0	0	0	1	0	0	1	0	0
1	1	0	0	0	1	1	1	1	0



9

7.2.1 掩模只读存储器



是有二极管的位置，均阻、输出缓冲器和电源4所示。

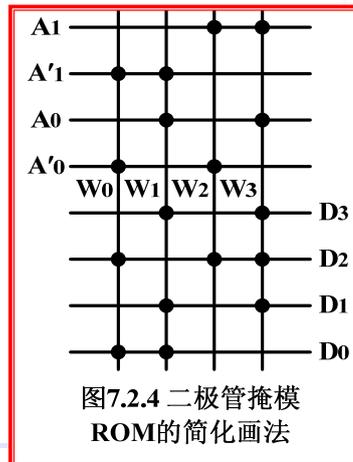


图7.2.4 二极管掩模ROM的简化画法

7.2.1 掩模只读存储器

注：a. 通常将每个输出的代码叫一个“字”（WORD）， $W_0 \sim W_1$ 为字线， $D_0 \sim D_3$ 为位线。交叉的点就是一个存储单元，其中有二极管。没有二极管相当于存0。因此交叉点的数目。习惯上用存储单元的数目表示存储器（或称为容量）即

存储容量 = 字数

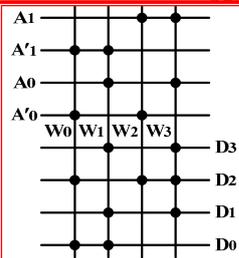


图7.2.4 二极管掩模ROM的简化画法

如上述ROM的存储量为 $4 \times 4 = 16$ 位。

b. 二极管ROM的电路结构简单，故集成度可以做的很高，可批量生产，价格便宜。

c. 可以把ROM看成一个组合逻辑电路，每一条字线就是对应输入变量的最小项，而位线是最小项的或，故ROM可实现逻辑函数的与-或标准式。

7.2.1 掩模只读存储器

(2) 由CMOS构成

利用MOS工艺制成和输出缓冲器全部采用阵的原理图。存储的数

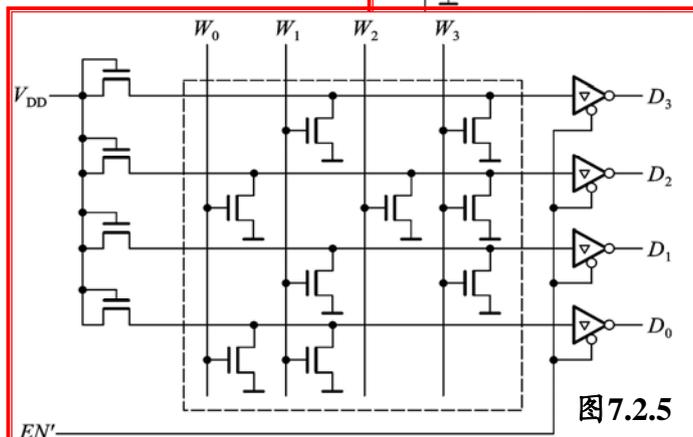
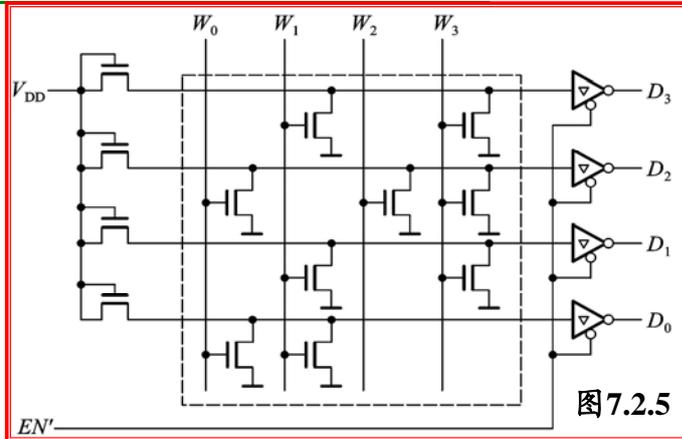


图7.2.5

7.2.1 掩模只读存储器



由图中可以看出，字线和位线的交叉点，接MOS管的相当于存1，没有的相当于存0。当某根字线为高电平时，接在其上的MOS导通，其位线为低电平，通过三态非门后，输出数据为1。

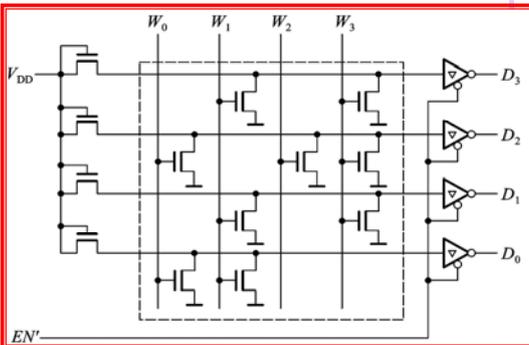
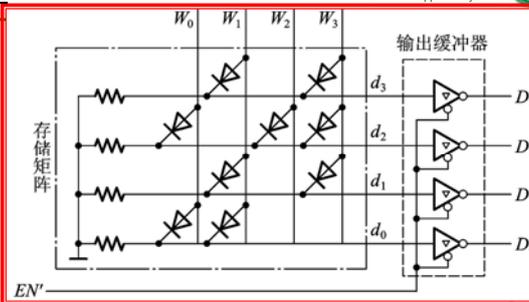
13

7.2.1 掩模只读存储器



掩模ROM的特点：

出厂时已经固定，不能更改，适合大量生产简单，便宜，非易失性



14

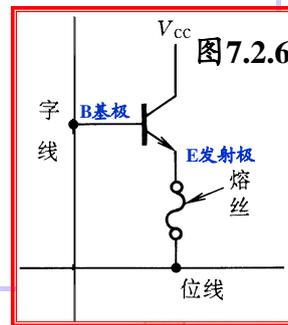
7.2.2 可编程只读存储器PROM



在开发数字电路新产品的工作过程中，或小批量生产产品时，由于需要的ROM数量有限，设计人员经常希望按照自己的设想迅速写入所需要内容的ROM。这就出现了**PROM(可编程只读存储器)**。

PROM的整体结构和掩模ROM一样，也有地址译码器、存储矩阵和输出电路组成。但在出厂时存储矩阵的交叉点上全部制作了存储单元，相当于存入了1。如图7.2.6所示

在图7.2.6中，三极管的**be**结接在字线和位线之间，相当于字线和位线之间的二极管。快速熔断丝接在发射极，当想写入0时，只要把相应的存储单元的熔断丝烧断即可。但只可编写一次。



15

7.2.1 可编程只读存储器 (PROM)



图7.2.7为16×8位的PROM结构原理图。写入时，要使用编程器。

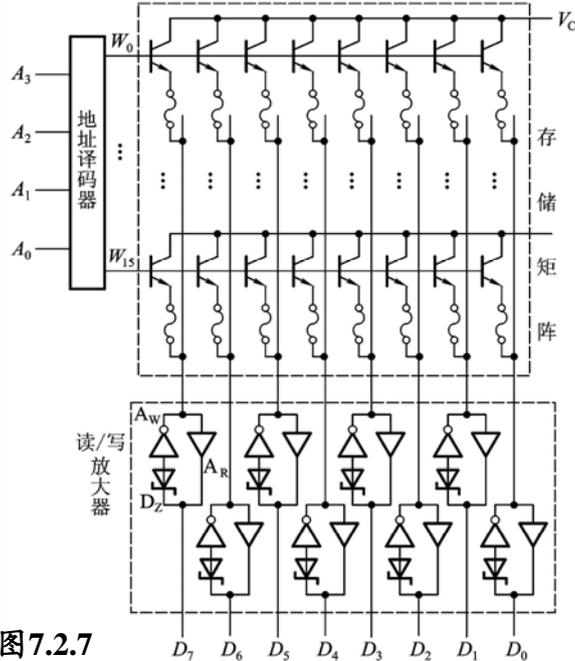


图7.2.7

16

7.2.3 可擦除的可编程只读存储器 (EPROM)

由此可见PROM的内容一旦写入则无法更改，只能写一次，为了能够经常修改存储的内容，满足设计的要求，需要能多次修改的ROM，这就是可擦除重写的ROM。这种擦除分为紫外线擦除（EPROM）和电擦除E2PROM，及快闪存储器（Flash Memory）。

一、 EPROM (Ultra - Violet Erasable Programmable Read - Only Memory, 简称UVEPROM)

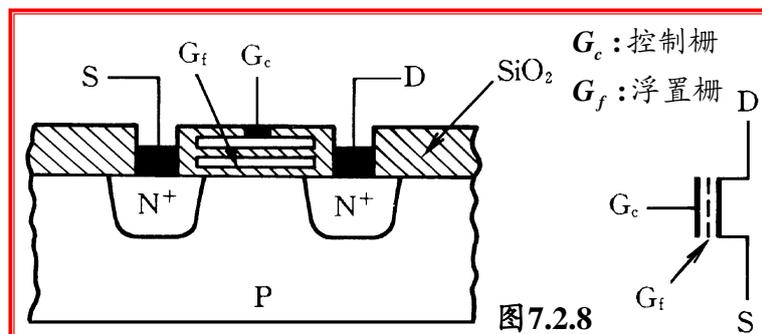
EPROM和前面的PROM在总体结构上没有大的区别，只是存储单元不同，采用叠栅注入MOS管（Stacked - gate Injection Metal - Oxide - Semiconductor, 简称SIMOS）做为存储单元。

17

7.2.3 可擦除的可编程只读存储器 (EPROM)

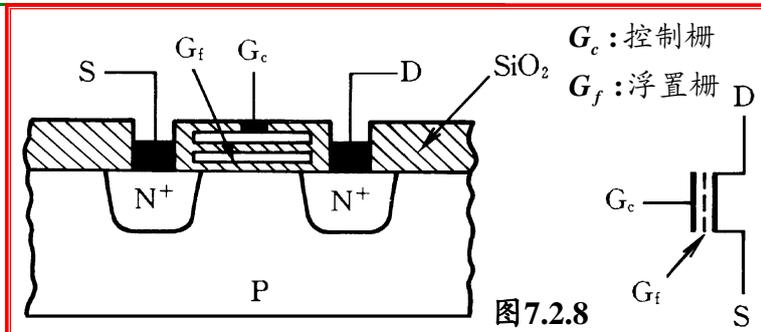
1. 采用叠栅技术的MOS管 - SIMOS

图7.2.8为SIMOS的结构原理图和符号。它是一个N沟道增强型MOS管，有两个重叠的栅极——控制栅 G_c 和浮置栅 G_f 。控制栅 G_c 用于控制读写，浮置栅 G_f 用于长期保存注入的电荷。



18

7.2.3 可擦除的可编程只读存储器 (EPROM)



2. 工作原理

当浮置栅上没注入电荷时，在控制栅上加上正常电压时能够使漏源之间产生导电沟道，SIMOS管导通。但当浮置栅注入负电荷以后，必须在控制栅上加更高的电压，才能抵消浮置栅上负电荷形成导电沟道，故SIMOS管在栅极加正常电压时是不会导通的。

19

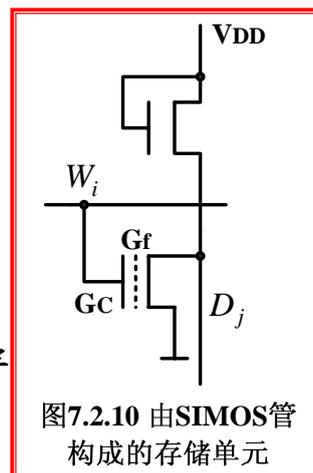


7.2.3 可擦除的可编程只读存储器 (EPROM)

由SIMOS管构成的存储单元

如图7.2.9所示。

当设计人员想写入“1”时，首先应在漏-源之间加较高的电压（20V~25V），发生雪崩击穿。同时在控制栅上加以高压脉冲（25V/50ms），在栅极电场的作用下，浮置栅上注入电荷。此时 G_c 加正常高电平时，SIMOS截止， $D_j = 1$ ，而浮置栅未注入电荷， G_c 加正常高电平时SIMOS导通， $D_j = 0$ 。即写1的操作就是对浮置栅的充电操作。

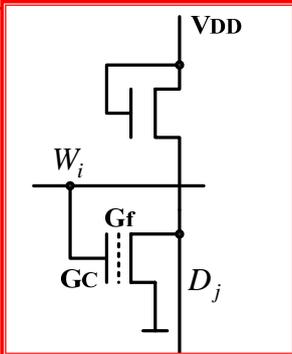


SIMOS管的EPROM用紫外线擦除，再写入新的数据。

20



7.2.3 可擦除的可编程只读存储器 (EPROM)



常用的EPROM有2716(2K × 8)、2732(4K × 8)、2764 (8K × 8)等，型号后面的几位数表示的是存储容量，单位为K。

“写入”：雪崩注入， $D-S$ 间加高压 (20 ~ 25V)，发生雪崩击穿，同时在 G_c 上加25V, 50ms宽的正脉冲，吸引高速电子穿过 SiO_2 到达 G_f ，形成注入电荷，相当于写入“1”

“擦除”：通过照射产生电子-空穴对，提供浮栅电子的泄放通道，紫外线照射20 ~ 30分钟（阳光下一周，荧光灯下3年）

21

7.2.3 可擦除的可编程只读存储器 (EPROM)

二、 E^2 PROM (Electrically Erasable Programmable Read - Only Memory, 简称为 E^2 PROM)

虽然紫外线擦除的EPROM具有重写功能，但擦除操作复杂，速度慢。为了弥补这些不足，则产生了用电信号擦除的PROM就是 E^2 PROM。

E^2 PROM的存储单元采用浮栅隧道氧化层MOS管，简称Flotox管，其结构图和符号如图7.2.11所示。

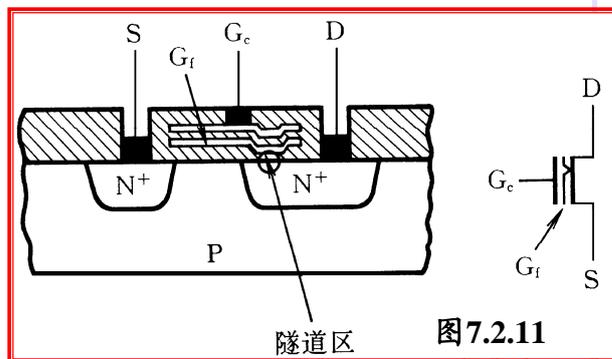


图7.2.11

22

7.2.3 可擦除的可编程只读存储器 (EPROM)

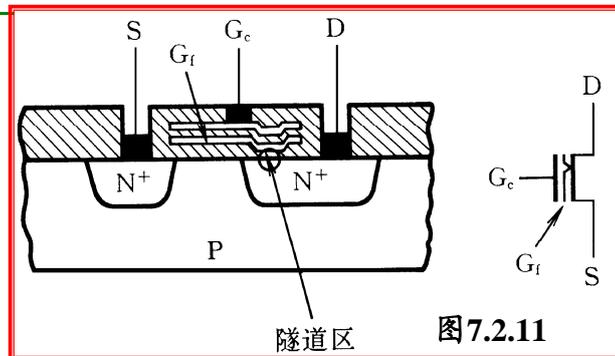


图7.2.11

Flotox的结构与SIMOS管相似，也是N沟道MOS管，也有两个栅极——控制栅 G_c 和浮置栅 G_f 。不同的是Flotox管的浮置栅和漏区之间有个氧化层极薄的区域($< 2 \times 10^{-8}m$)——隧道区。当隧道区的电场达到一定程度($10^7V/cm$)时，便在漏区和浮置栅之间出现导电隧道，电子可以双向通过，形成电流。

23



7.2.3 可擦除的可编程只读存储器 (EPROM)

在使用Flotox管做存储单元时，为了提高擦、写的可靠性，在 E^2PROM 的存储单元中除了Flotox管子外，还有一个选通管，如图7.2.12所示。

*工作原理:

a. 读出状态

在读出时，控制栅 G_c 加+3V电压，如图7.2.12所示，若 $W_j = 1$ ，此时选通管 T_2 导通，若Flotox的浮置栅没充电荷，则 T_1 导通，在位线 B_j 上读出为0；若Flotox的浮置栅上充有电荷，则 T_1 截止，在位线 B_j 上读出为1。

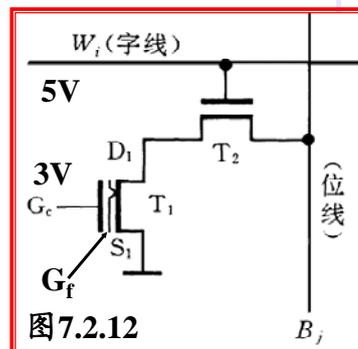


图7.2.12

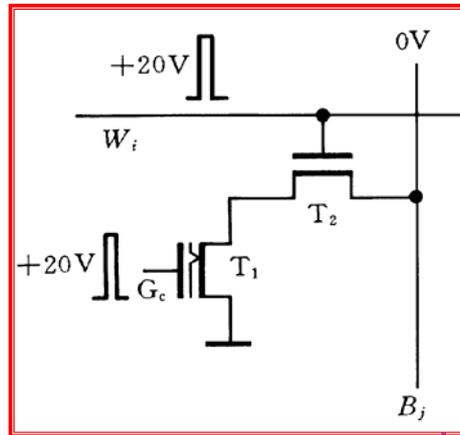
24



7.2.3 可擦除的可编程只读存储器 (EPROM)

b. 擦除 (写1) 状态

当擦除状态时，在控制栅和位线加高电压脉冲(20V/10ms)，使得浮置栅上存储电荷。当控制栅加正常电压时，Flotox管截止，一个字节被擦除，则这个字节的所有存储单元为1的状态。

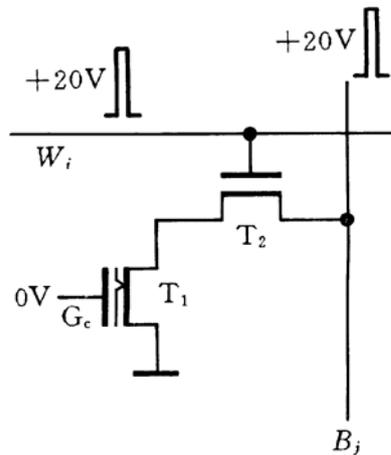


25

7.2.3 可擦除的可编程只读存储器 (EPROM)

c. 写入 (写0) 状态

在写入情况下，令控制栅为0V，同时在在字线和位线上加20V/10ms的脉冲电压，应使写入的那些单元的Flotox管的浮置栅放电，然后在控制栅Gc加正常的+3V电压，使Flotox管导通，则所存储的内容为0。



注：虽然E²PROM改用电信号擦除，但由于擦除和写入需要加高电压脉冲，且擦除和写入的时间仍然较长，所以正常工作只做ROM用。

26

7.2.3 可擦除的可编程只读存储器 (EPROM) 合肥工业大学 物理学院

三、快闪存储器 (Flash Memory)

其结构和EPROM中的SIMOS管相似，只是浮置栅和衬底之间的氧化层的厚度不同，快闪存储器中的此厚度很薄，仅为10~15nm。以及另外一些特殊的制造技术。因此快闪存储器即吸收了EPROM的结构简单、编程可靠的优点，也保留了E²PROM擦除的快捷特性，且集成度很高。

为提高集成度，省去T₂（选通管）改用叠栅MOS管（类似SIMOS管）

叠栅MOS管和flash存储单元如图7.2.13所示。

27



7.2.3 可擦除的可编程只读存储器 (EPROM) 合肥工业大学 物理学院

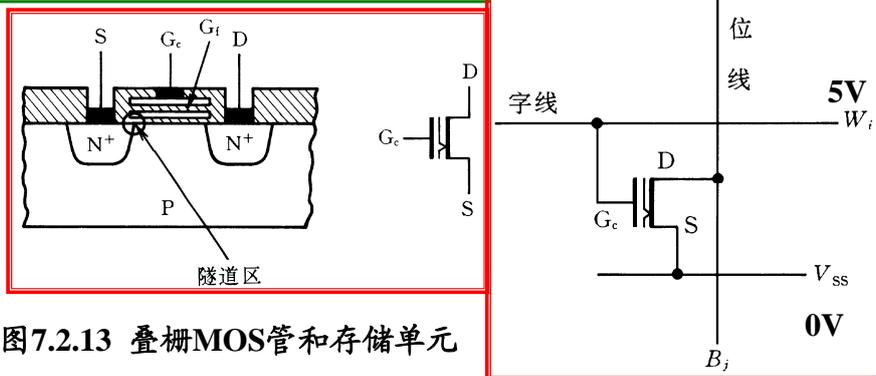


图7.2.13 叠栅MOS管和存储单元

*工作原理:

a. 读出状态: 若字线为高电平，即 $W_j = 1$ ，存储单元的公共端 $V_{ss} = 0$ 。若浮栅无充电，则叠栅MOS管导通，位线 B_j 输出低电平；若浮栅上充有负电荷，则叠栅MOS管截止，位线 B_j 输出高电平。

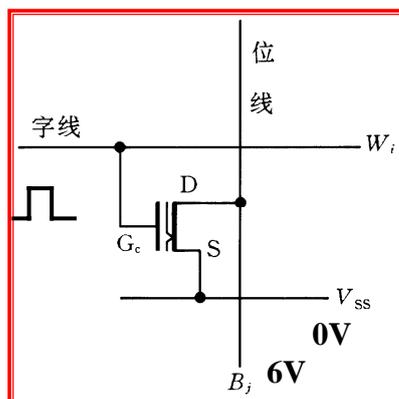
28



7.2.3 可擦除的可编程只读存储器 (EPROM) 合肥工业大学物理学院

b. 写入状态:

首先在叠栅MOS管的漏极经位线加较高的电平 (6V), $V_{ss} = 0V$, 在控制栅加一个幅度较大 ($12V/10\mu s$) 的正脉冲, 使得管子发生雪崩击穿, 浮置栅出现充电电荷。此时由于叠栅MOS管的开启电压提高, 使得字线上加正常的逻辑电平时管子不会导通, 写入1。

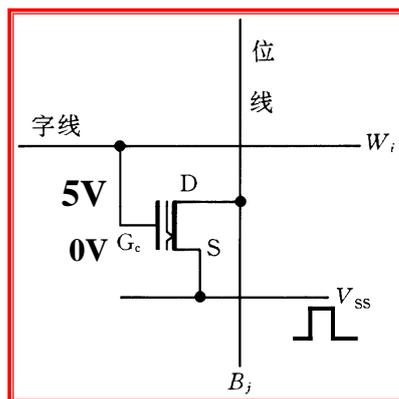


29

7.2.3 可擦除的可编程只读存储器 (EPROM) 合肥工业大学物理学院

c. 擦除状态:

擦除是利用隧道效应。在控制栅处于低电平 (0V), 源极加高幅度正脉冲 ($12V/100ms$) 的情况下, 浮置栅和源极之间产生隧道效应, 浮置栅的电荷通过隧道区放电, 此时管子的开启电压降低, 当字线加正常高电平 (5V) 时, 管子就会导通。由于存储单元的源极都是连在一起的, 故全部的存储单元同时被擦除, 这是和 E^2 PROM不同的一个地方。



30



施敏和FLASH

- 施敏，Bell Lab/Stanford，撰写的经典教材《半导体器件物理》，被论文引用的次数约15000次(ISI统计)。1936年出生。
- 已被诺贝尔奖三次提名。
- 美国工程院、中国大陆工程院和中国台湾工程院三院院士。
- 曾获得IEEE电子器件的最高荣誉奖（Ebers奖）
- 非挥发性半导体内存(Flash)发明者和手机发明人之一。

31



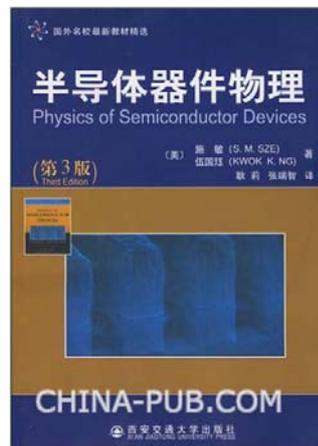
施敏院士



32



世界上引用率最高的教材



Flash的应用

- SD卡: Secure Digital Memory Card
- CF卡: CompactFlash
- U盘
-



CF卡



- SanDiskExtreme CF存储卡拥有高达60MB/s的读/写速度。
- 体积过大，逐步淘汰。



SD卡



- SDHC存储卡按传输速度被分为三个等级，分别是Class 2、Class 4和Class 6，其中Class 6为速度最快的SDHC，传输速度可达6MB/sec



U盘



- 型号：SanDisk 闪迪至尊极速USB3.0
- 存盘存储容量：64GB
- 接口类型：USB3.0
- 数据传输率：读出：190MB/s，写：无
- 外形尺寸：70.87*21.34*11.43m
- 产品重量：18.14g
- 报价：368元

本章内容



7.1 概述

7.2 只读存储器 (ROM)

7.3 随机存储器 (RAM)

7.4 存储器容量的扩展

7.5 用存储器实现组合逻辑函数

1

7.3 随机存储器 (RAM)



随机存储器也叫随机读/写存储器，即在RAM工作时，可以随时从任一指定的地址读出数据，也可随时将数据写入指定的存储单元。

优点：读、写方便，使用灵活。

缺点：存入的数据易丢失（即停电后数据随之丢失）。

分类：静态随机存储器（SRAM）和动态随机存储器（DRAM）。

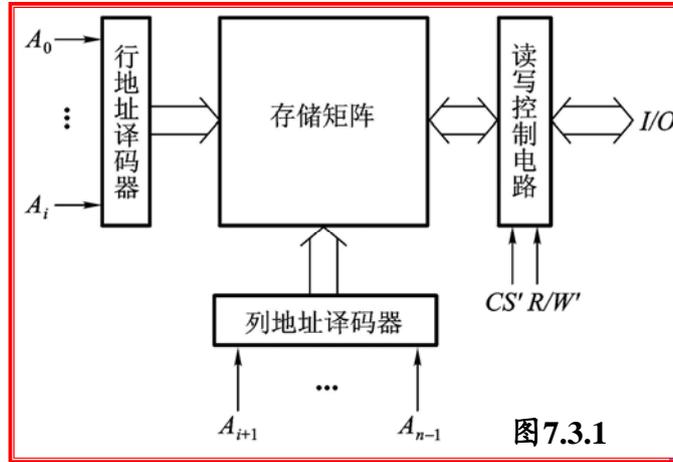
7.3.1 静态随机存储器 (SRAM)

一、SRAM的结构和工作原理

SRAM电路一般由**存储矩阵**、**地址译码器**和**读/写控制电路**（也叫输入/输出电路）三部分组成，其框图如图7.3.1所示。

2

7.3.1 静态随机存储器 (SRAM)



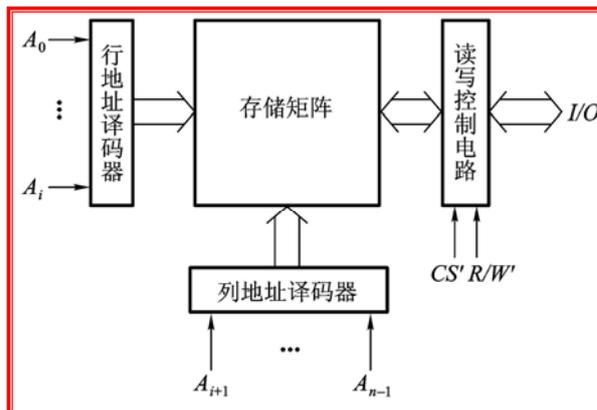
其中:

图7.3.1

*存储矩阵: 它是由许多存储单元排列而成, 每个存储单元都能存储1位二值数据 (1或0), 在译码器和读/写电路的控制下, 即可写入数据, 也可读出数据。

3

7.3.1 静态随机存储器 (SRAM)

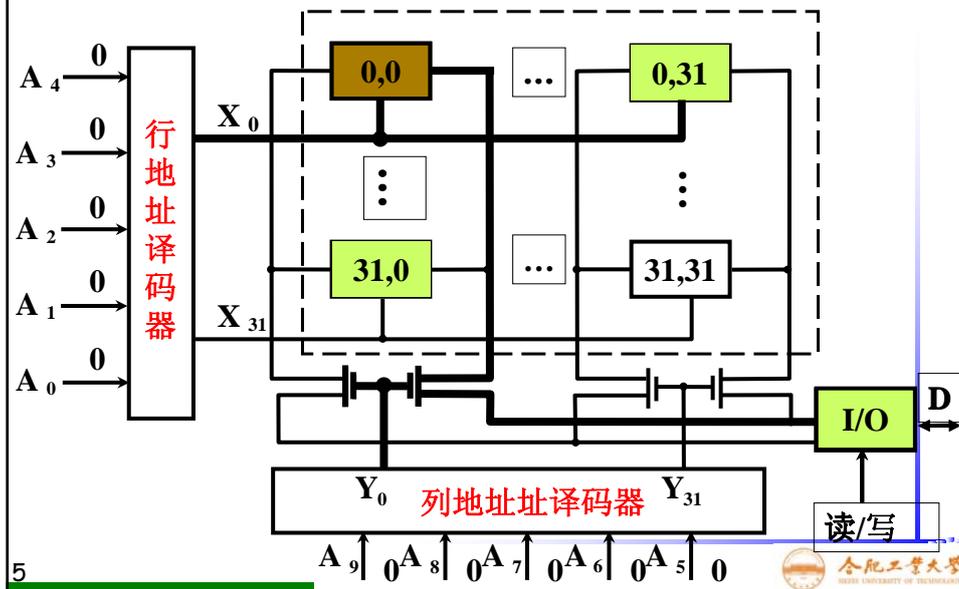


*地址译码器:

地址译码器一般都分为行地址译码器和列地址译码器两部分。行地址译码器将输入的地址代码的若干位 $A_0 \sim A_i$ 译成某一条字线的输出高、低电平信号, 从存储矩阵中选中一行存储单元;

4

行地址和列地址



双译码结构

- **1024 × 1位的存储器**
 - 注意：不是32 × 32位的存储器
- 存储元有x方向的行选线、y方向的列选线
- 32片在z方向进行扩展，形成1024 × 32位的存储器
- 再次强调：
 - 只能对一个存储单元进行读写操作。不能对一个存储元进行读写操作。

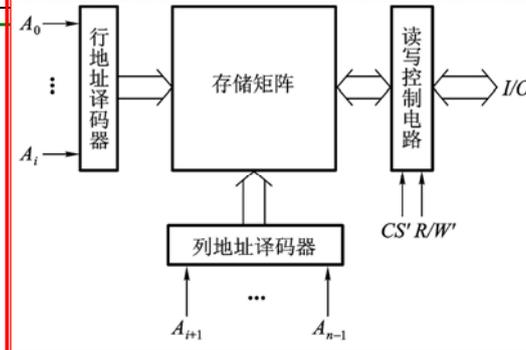


从扇出 (Fanout) 的角度比较

- 1024×32 位的存储器，地址码10位。
- 单译码，每个地址译码器驱动 $2^{10} = 1024$ 条字选择线。
- 双译码，每个地址译码器驱动 $2^5 = 32$ 条字选择线。

7

7.3.1 静态随机存储器 (SRAM)



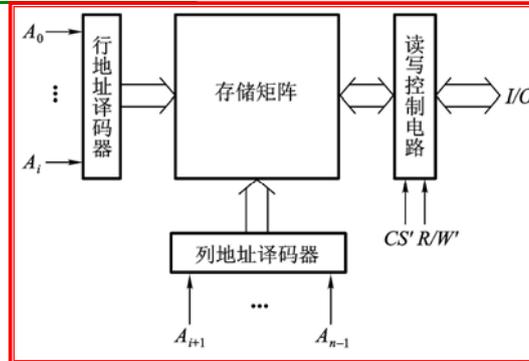
*读/写控制电路:

读/写控制电路用于对电路的工作状态进行控制。当读/写控制信号 $R/W' = 1$ 时，执行读操作，将存储单元里的数据送到输入/输出端上；当 $R/W' = 0$ 时，执行写操作，加到输入/输出端上的数据被写入存储单元中。在读/写控制电路中另设有片选输入端 CS' 。当 $CS' = 0$ 时，RAM 为正常工作状态；当 $CS' = 1$ 时，所有的输入/输出端均为高阻态，不能对 RAM 进行读/写操作。

8

7.3.1 静态随机存储器 (SRAM)

注：上述框图的双向箭头表示一组可双向传输数据的导线，它所包含的导线的数目等于并行输入/输出数据的位数。



**总之，一个RAM有三根线：①地址线是单向的，它传送地址码（二进制），以便按地址访问存储单元。②数据线是双向的，它将数据码（二进制数）送入存储矩阵或从存储矩阵读出。③读/写控制线传送读（写）命令，即读时不写，写时不读。

SRAM存储元(6管)

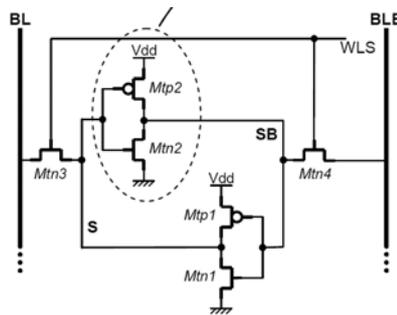


Figure 1: 6T SRAM core-cell



SRAM的4x4阵列

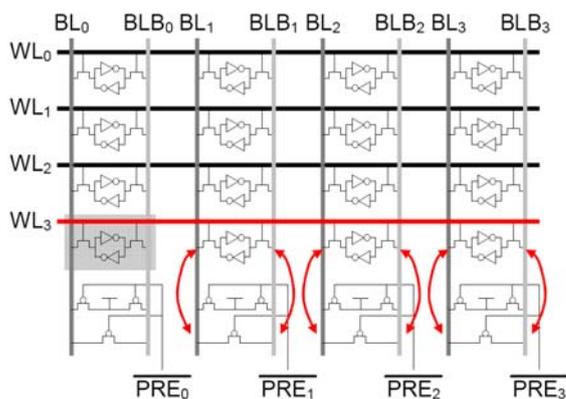


Figure 2: A 4x4 memory array



金士顿8GB DDR3 1600



金士顿8GB DDR3 1600

产品类别：内存 品牌：Kingston (金士顿)

参考价格：¥350 [北京]

商家报价：¥348 至 ¥388 共有209个商家

¥369 京东商城

同系列：金士顿 4GB DDR3 1600 ¥190 [北京]

金士顿 8GB DDR3 1600(散客神条套装) ¥399 [北京]

适用类型：台式机

插槽类型：DIMM

内存容量：8GB

CL延迟：11-11-11-35

容量描述：单条 (8GB)

针脚数：240pin

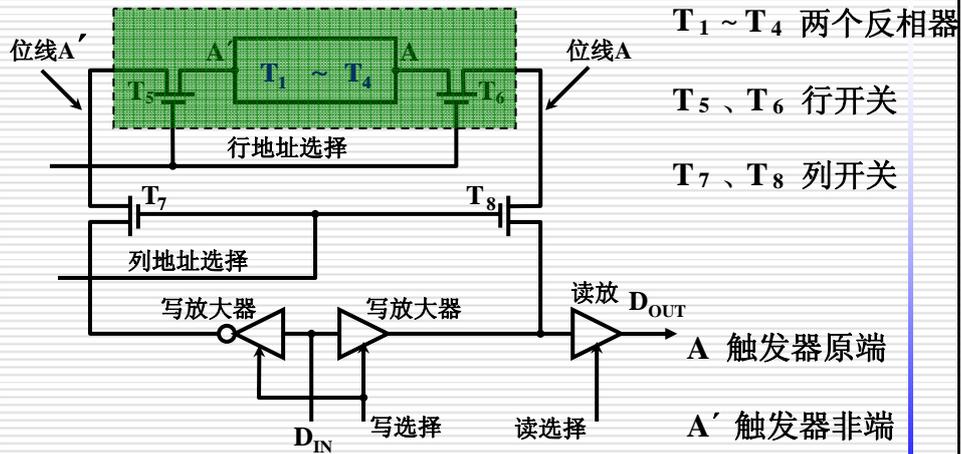
内存类型：DDR3

工作电压：1.5V

内存主频：1600MHz



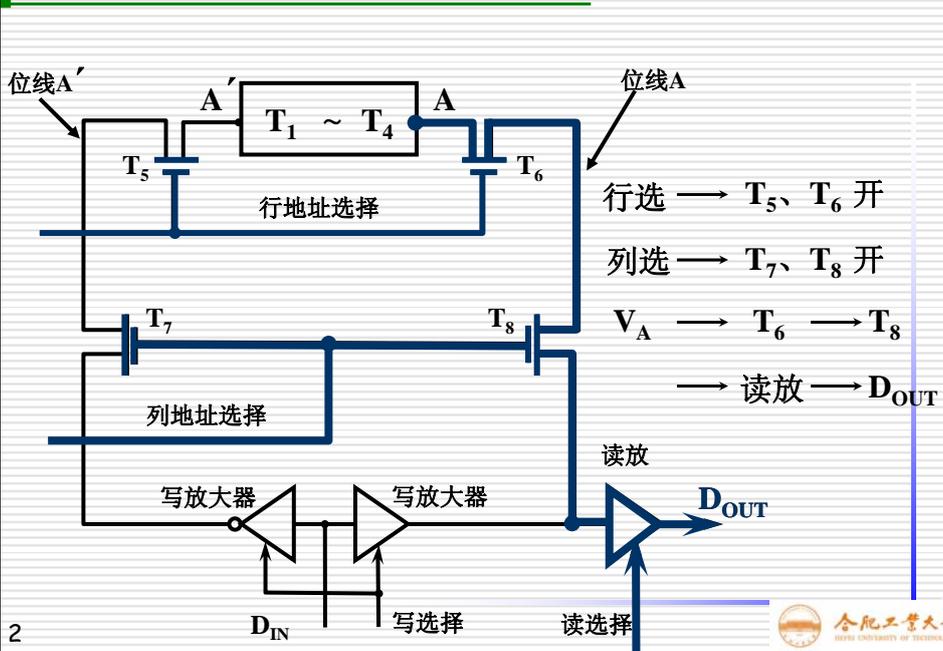
静态RAM (SRAM)基本电路



1



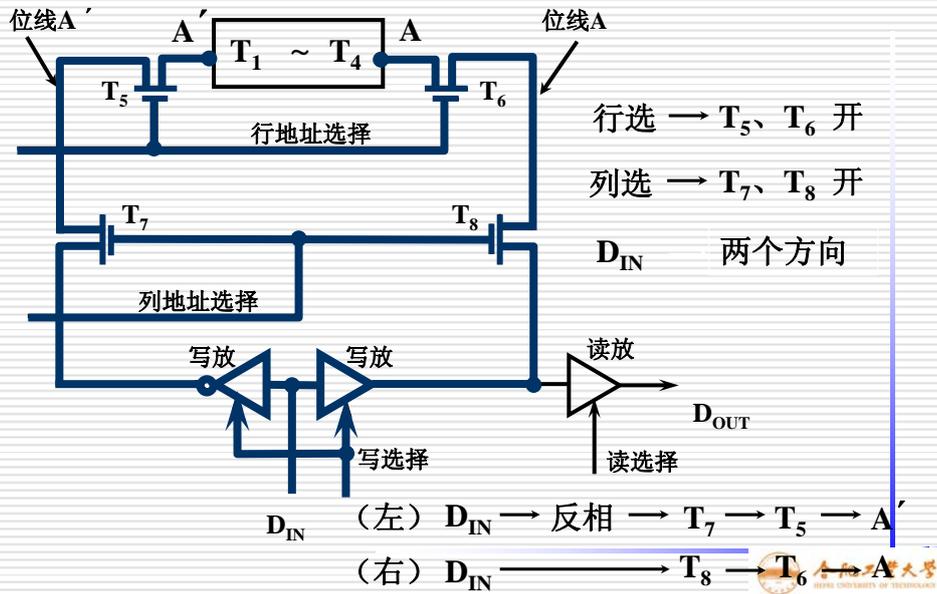
① 静态 RAM 基本电路的读操作



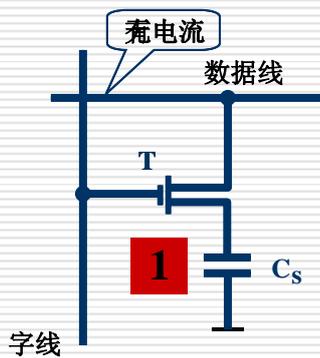
2



② 静态RAM基本电路的写操作



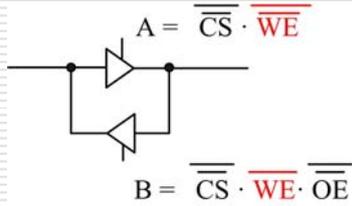
动态 RAM 基本单元电路



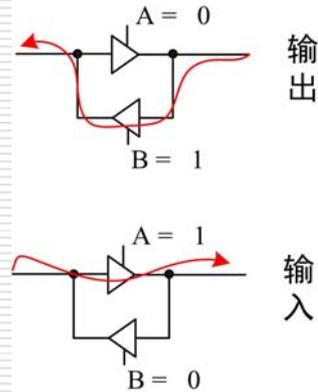
- 读出时
 - 数据线有电流为“1”
- 写入时 C_s
 - 充电为“1”
 - 放电为“0”



I/O端口互锁结构



特点：A、B至多一个为1。



5



CF:DRAM 和SRAM

	主存 DRAM	SRAM 缓存
存储原理	1T	6T
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

6





本章内容

7.1 概述

7.2 只读存储器 (ROM)

7.3 随机存储器 (RAM)

7.4 存储器容量的扩展

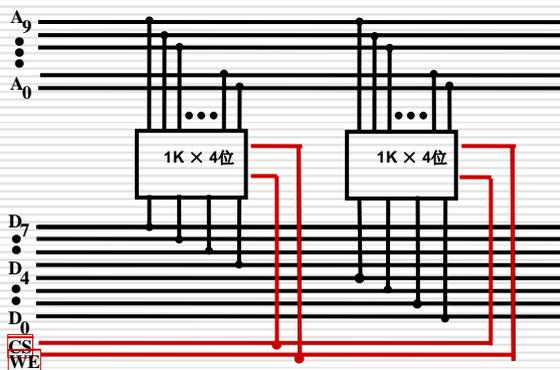
7.5 用存储器实现组合逻辑函数

1



(1) 位扩展

用 2 片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位的存储器



2



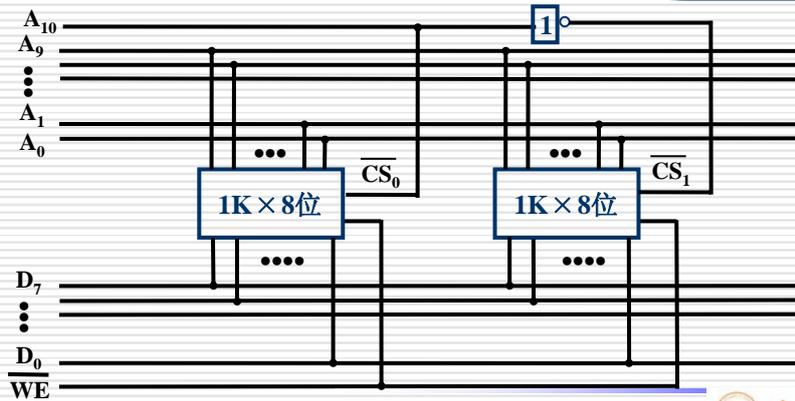


(2) 字扩展 (增加存储字的数量)

用 2片 $1K \times 8$ 位 存储芯片组成 $2K \times 8$ 位 的存储器

11根地址线

8根数据线



3

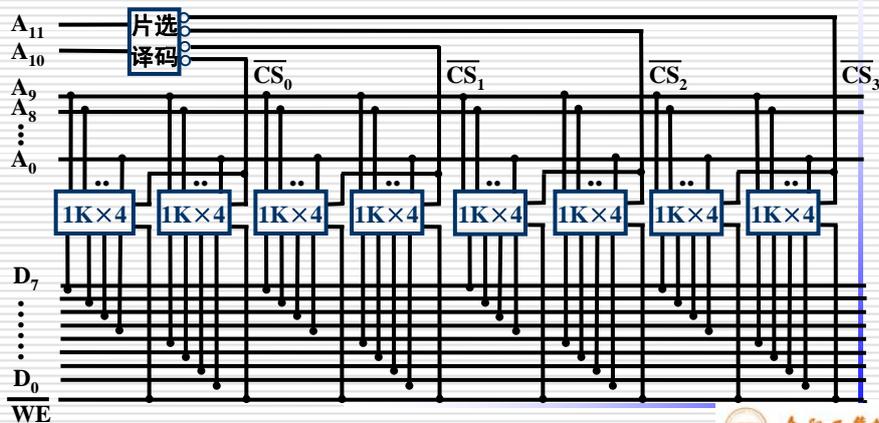


(3) 字、位扩展

用 8片 $1K \times 4$ 位 存储芯片组成 $4K \times 8$ 位 的存储器

12根地址线

8根数据线



4





2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写线的连接
- (4) 片选线的连接
- (5) 合理选用芯片
- (6) 其他：时序、负载



本章内容

- 7.1 概述
- 7.2 只读存储器 (ROM)
- 7.3 随机存储器 (RAM)
- 7.4 存储器容量的扩展
- 7.5 用存储器实现组合逻辑函数

7.5 用存储器实现组合逻辑函数

对于前面讲过的二极管掩模ROM中，有一个数据输出表（如下）

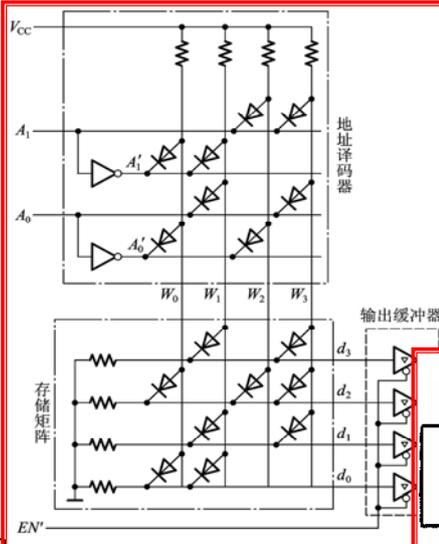


表7.2.1

地 址		译码输出				数 据			
A1	A0	W0	W1	W2	W3	D3	D2	D1	D0
0	0	1	0	0	0	0	1	0	1
0	1	0	1	0	0	1	0	1	1
1	0	0	0	1	0	0	1	0	0
1	1	0	0	0	1	1	1	1	0

7.5 用存储器实现组合逻辑函数

电子科学与应用物理学院
School of Electronic Science & Applied Physics



可以看出，若把地址输入 A_1 和 A_0 看成是两个输入变量，数据输出看成是一组输出变量，则 $D_3 \sim D_0$ 就是一组 $A_1 \sim A_0$ 的组合逻辑函数。可写成：

表7.2.1

地 址		译码输出				数 据			
A_1	A_0	W_0	W_1	W_2	W_3	D_3	D_2	D_1	D_0
0	0	1	0	0	0	0	1	0	1
0	1	0	1	0	0	1	0	1	1
1	0	0	0	1	0	0	1	0	0
1	1	0	0	0	1	1	1	1	0

$$\begin{cases} D_3 = m_1 + m_3 \\ \quad = A_1' A_0 + A_1 A_0 \\ D_2 = m_0 + m_2 + m_3 \\ \quad = A_1' A_0' + A_1 A_0' + A_1 A_0 \\ D_1 = m_1 + m_3 = A_1' A_0 + A_1 A_0 \\ D_0 = m_0 + m_1 = A_1' A_0' + A_1' A_0 \end{cases}$$

3



7.5 用存储器实现组合逻辑函数

电子科学与应用物理学院
School of Electronic Science & Applied Physics



*由于任何组合逻辑函数都可以写成最小项之和的形式，因此任何组合逻辑函数都可以向ROM中写入相应的数据来实现。

*用具有 n 位输入地址、 m 位数据输出的ROM可以获得不大于 m 个任何形式的 n 变量组合逻辑函数。这也适合RAM。

例7.5.1 试用ROM产生下列一组组合逻辑函数

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases}$$

4



7.5 用存储器实现组合逻辑函数

电子科学与应用物理学院
School of Electronic Science & Applied Physics



解：首先将所给的逻辑函数展成最小项之和的形式。

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases} \rightarrow \begin{cases} Y_1 = \sum m(2,3,6,7) \\ Y_2 = \sum m(6,7,10,14) \\ Y_3 = \sum m(4,14) \\ Y_4 = \sum m(2,15) \end{cases}$$

由于要实现的是4个逻辑函数，且逻辑函数为4变量的，所以需要4位地址输入和4位数据输出，故选 16×4 的ROM实现。

5



7.5 用存储器实现组合逻辑函数

其连线图如图7.5.1所示

$$\begin{cases} Y_1 = \sum m(2,3,6,7) \\ Y_2 = \sum m(6,7,10,14) \\ Y_3 = \sum m(4,14) \\ Y_4 = \sum m(2,15) \end{cases}$$

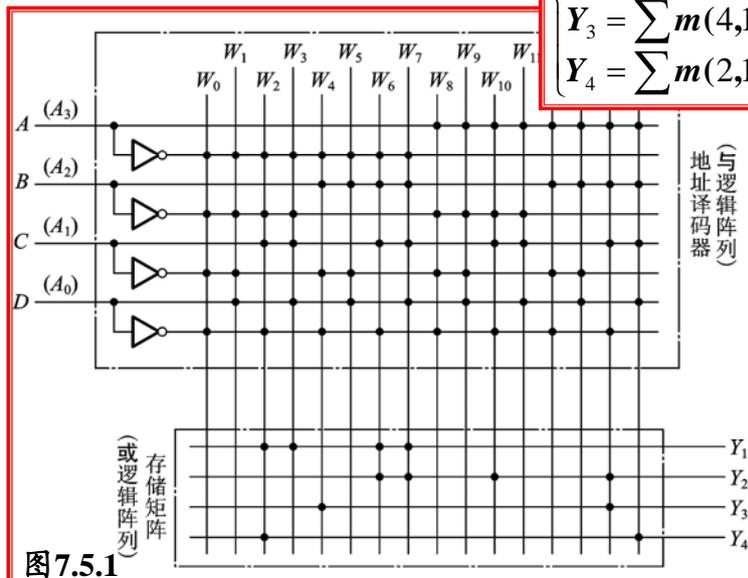


图7.5.1

6



7.5 用存储器实现组合逻辑函数

电子科学与应用物理学院
School of Electronic Science & Applied Physics



例7.5.2 试用ROM设计一个2位二进制数的比较器。设这两个2位数分别为 $A = A_1A_0$ ， $B = B_1B_0$ 。当 $A < B$ 时， $Y_1=1$ ；当 $A = B$ 时， $Y_2=1$ ；当 $A > B$ 时， $Y_3=1$ 。

解：由题意可得真值表为

A1	A0	B1	B0	Y1	Y2	Y3
0	0	0	0	0	1	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	0	0	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	0

7



7.5 用存储器实现组合逻辑函数

电子科学与应用物理学院
School of Electronic Science & Applied Physics



则选用 16×3 的ROM，实现电路如图7.5.2所示。

A1	A0	B1	B0	Y1	Y2	Y3
0	0	0	0	0	1	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	0	0	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	0

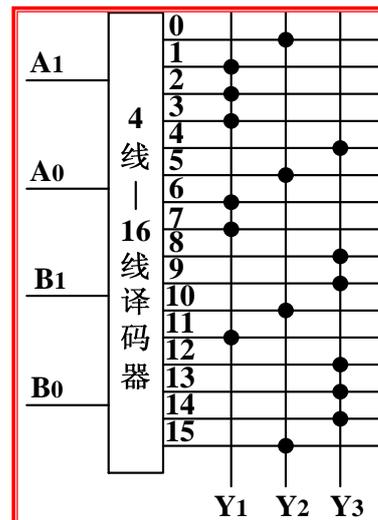


图7.5.2 例7.5.2的电路

8



7.5 用存储器实现组合逻辑函数

电子科学与技术学院
School of Electronic Science & Applied Physics



例7.5.3 试用 8×4 位ROM实现一个排队组合电路，电路的功能是输入信号A、B、C通过排队电路后分别由 Y_A 、 Y_B 、 Y_C 输出。但在同一时刻只能有一个信号通过，如果同时有2个以上信号通过时，则按A、B、C的优先顺序通过。

解：根据题意可得真值表为

A	B	C	Y_A	Y_B	Y_C
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

则实现的电路如图7.5.3所示。

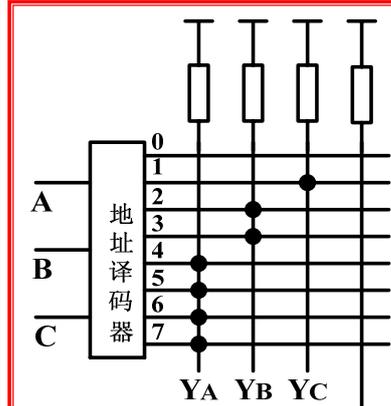


图7.5.3 例7.5.3的电路