



第六章 时序逻辑电路

6.1 概述

6.2 时序逻辑电路的分析方法

6.3 若干常用的时序逻辑电路

6.4 时序逻辑电路的设计方法

6.5 时序逻辑电路中的竞争-冒险现象



内容介绍

本章主要介绍时序逻辑电路的**工作原理**和**分析方法及设计方法**。

首先讲述时序逻辑电路的**逻辑功能**、**电路结构特点**、**分析方法和步骤**，然后具体介绍**寄存器**、**计数器**等各类时序逻辑电路的**工作原理和使用方法**，最后介绍时序逻辑电路的**设计方法**。

本章重点是**计数器的分析和设计**。



6.1 概述

一、时序逻辑电路：在任意时刻的输出信号不仅取决于当时的输入信号，而且还取决于电路原来的状态。

二、时序逻辑电路的构成及结构特点：

时序逻辑电路的构成可用图6.1.1所示框图表示

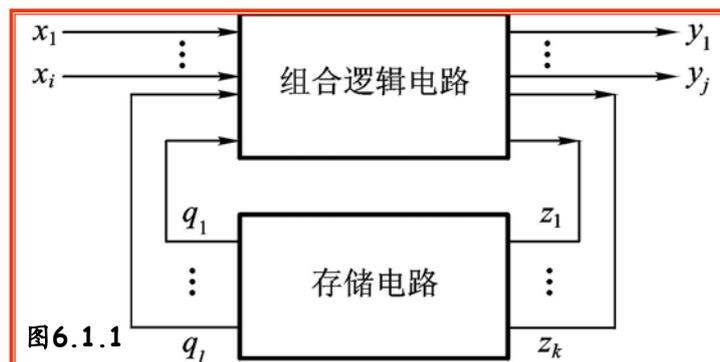


图6.1.1

3

6.1 概述

输入信号

特点：

存储电路的输出

输出信号

存储电路的输入

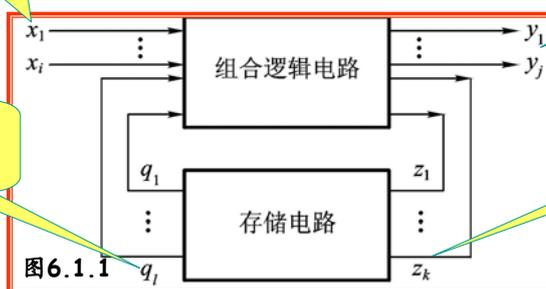


图6.1.1

1. 时序逻辑电路包含组合逻辑电路和存储电路两个部分；
2. 存储电路的输出状态必须反馈到组合电路的输入端，与输入信号一起，共同决定组合逻辑电路的输出。

4

输出方程

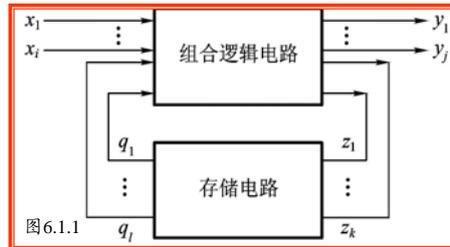


图6.1.1

可以用三个方程组来描述

$$\textcircled{1} \begin{cases} y_1 = f_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ y_j = f_j(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \Rightarrow \text{输出方程 } Y = F(X, Q)$$

驱动方程(激励方程)

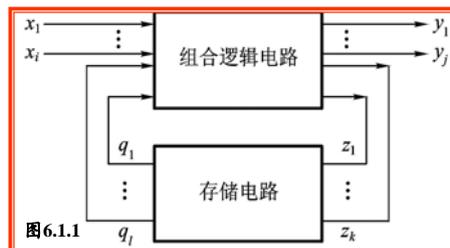


图6.1.1

$$\textcircled{2} \begin{cases} z_1 = g_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ z_k = g_k(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases} \Rightarrow \text{驱动方程 } Y = F(X, Q)$$

状态方程

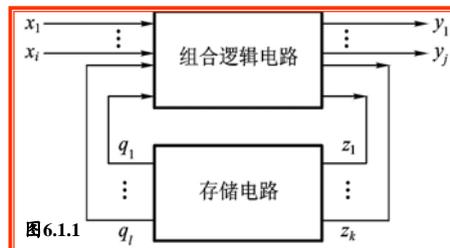


图6.1.1

$$\textcircled{3} \begin{cases} q_1^* = h_1(z_1, z_2, \dots, z_i, q_1, q_2, \dots, q_i) \\ \vdots \\ q_i = h_i(z_1, z_2, \dots, z_i, q_1, q_2, \dots, q_i) \end{cases} \Rightarrow \text{状态方程 } Q^* = H(Z, Q)$$

实例：串行加法器电路

例6.1 串行加法器电路如图6.1.2所示，写出其输出方程、驱动方程和状态方程

解：其输出方程为 $s_i = a_i \oplus b_i \oplus C_{i-1}$
 $= a_i \oplus b_i \oplus Q$

驱动方程为 $D = C_i = a_i b_i + C_{i-1}(a_i \oplus b_i)$
 $= a_i b_i + Q(a_i \oplus b_i)$

状态方程为 $Q^* = D = a_i b_i + Q(a_i \oplus b_i)$

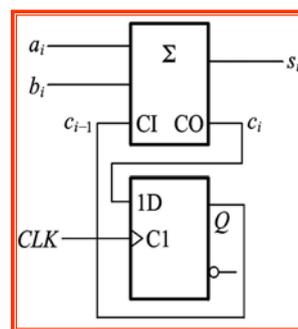


图6.1.2



三、时序电路的分类(1)

根据触发器动作特点可分为**同步时序逻辑电路**和**异步时序逻辑电路**。

在**同步时序逻辑电路**中，存储电路中**所有触发器的时钟**使用统一的**CLK**，状态变化发生在同一时刻，即触发器在时钟脉冲的作用下同时翻转。

在**异步时序逻辑电路**中，触发器的翻转不是同时的，没有统一的**CLK**，触发器状态的变化有先有后。



三、时序电路的分类(2)

根据输出信号的特点时序逻辑电路可分为**米利 (Mealy) 型**和**穆尔 (Moore) 型**。

在**米利型**时序逻辑电路中，输出信号不仅取决于存储电路的状态，而且还取决于输入变量。

在**穆尔型**时序逻辑电路中，输出信号仅仅取决于存储电路的状态，故穆尔型电路只是米利型电路的特例而已。





第六章 时序逻辑电路

6.1 概述

6.2 时序逻辑电路的分析方法

6.3 若干常用的时序逻辑电路

6.4 时序逻辑电路的设计方法

6.5 时序逻辑电路中的竞争-冒险现象



6.2 时序逻辑电路的分析方法

6.2.1 同步时序逻辑电路的分析方法

时序逻辑电路的分析：就是给定时序电路，找出该的逻辑功能，即找出在**输入**和**CLK**作用下，电路的**次态**和**输出**。

由于**同步时序逻辑电路**是在同一时钟作用下，故分析比较简单些，只要写出电路的**驱动方程**、**输出方程**和**状态方程**，根据状态方程得到电路的**状态表**或**状态转换图**，就可以得出电路的逻辑功能。



同步时序逻辑电路的分析步骤

1. 从给定的逻辑电路图中写出每个触发器的**驱动方程**（也就是存储电路中每个触发器输入信号的逻辑函数式）；
2. 把得到的驱动方程代入相应触发器的**特性方程**中，就可以得到每个触发器的**状态方程**，由这些状态方程得到整个时序逻辑电路的方程组；
3. 根据逻辑图写出电路的**输出方程**；
4. 写出整个电路的状态转换表、**状态转换图**和时序图；
5. 由状态转换表或状态转换图得出电路的**逻辑功能**。

3

例6.2.1 试分析图6.2.1所示的**时序逻辑电路的逻辑功能**，写出它的**驱动方程**、**状态方程**和**输出方程**，写出电路的**状态转换表**，画出**状态转换图**和**时序图**。

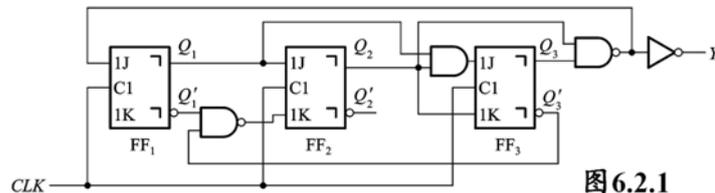


图 6.2.1

解：(1) 驱动方程：

$$\begin{cases} J_1 = (Q_2 Q_3)', & K_1 = 1 \\ J_2 = Q_1, & K_2 = (Q_1' Q_3)' \\ J_3 = Q_1 Q_2, & K_3 = Q_2 \end{cases}$$

4

(2) 状态方程:

JK触发器的特性方程 $\longrightarrow Q^* = JQ' + K'Q$

将驱动方程代入JK触发器的特性方程中, 得出电路的状态方程

$$\left\{ \begin{array}{l} J_1 = (Q_2Q_3)', \quad K_1 = 1 \\ J_2 = Q_1, \quad K_2 = (Q_1Q_3)' \\ J_3 = Q_1Q_2, \quad K_3 = Q_2 \end{array} \right. \longrightarrow \left\{ \begin{array}{l} Q_1^* = (Q_2Q_3)' \cdot Q_1' \\ Q_2^* = Q_1Q_2' + Q_1'Q_3Q_2 \\ Q_3^* = Q_1Q_2Q_3' + Q_2'Q_3 \end{array} \right.$$

(3)输出方程: $Y = Q_2Q_3$

6.2.2 时序逻辑电路的状态转换表、 状态转换图、状态机流程图和时序图

从例题可以看出, 逻辑电路的三个方程应该说已经清楚描述一个电路的逻辑功能, 但却不能确定电路具体用途, 因此需要在时钟信号作用下将电路所有的状态转换全部列出来, 则电路的功能一目了然。

描述时序逻辑电路所有状态的方法有**状态转换表**(状态转换真值表)、**状态转换图**、**状态机流程图**和**时序图**。下面结合上面的例题介绍这几种方法。

一、状态转换表

根据状态方程将所有的**输入变量**和**电路初态**的取值，带入电路的**状态方程**和**输出方程**，得到**电路次态**（**新态**）的输出值，列成表即为**状态转换表**。

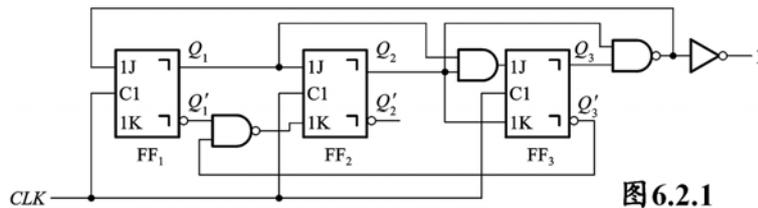


图 6.2.1

此电路**没有输入变量**，属于**穆尔型**的时序逻辑电路，输出端的状态只决定于电路的初态。

7

一、状态转换表

设初态 $Q_3Q_2Q_1=000$ ，由状态方程可得：

$$\begin{cases} Q_1^* = (Q_2Q_3)' \cdot Q_1' \\ Q_2^* = Q_1Q_2' + Q_1'Q_3'Q_2 \\ Q_3^* = Q_1Q_2Q_3' + Q_2'Q_3 \end{cases}$$

CLK	Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	1	0	1	0
5	1	0	1	1	1	0	0
6	1	1	0	0	0	0	1
	1	1	1	0	0	0	1

由状态转换表可知，为**七进制加法计数器**，Y为进位脉冲的输出端。

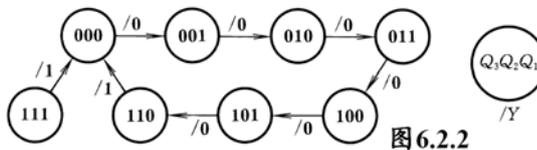
8

二、状态转换图

将状态转换表以图形的方式直观表示出来，即为状态转换图。

由状态转换表可得状态转换图如图6.2.2所示

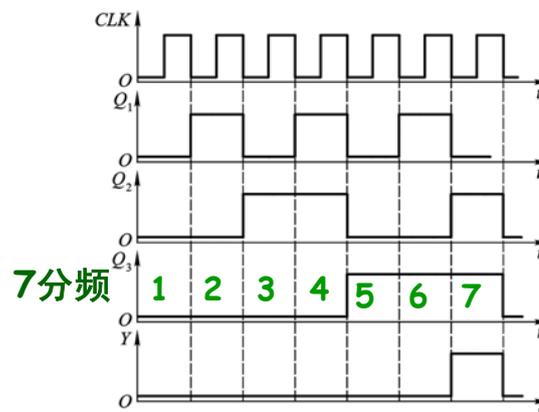
CLK	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
	1	1	1	1



9

三、时序图

在时钟脉冲序列的作用下，电路的状态、输出状态随时间变化的波形叫做时序图。由状态转换表或状态转换图可得图6.2.3所示



10



例6.2.3 分析图6.2.4所示的时序逻辑电路的功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。

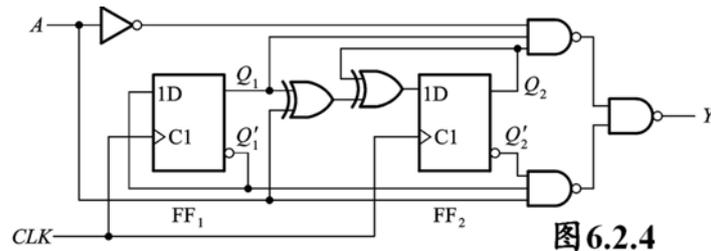


图6.2.4



例6.2.3 分析图6.2.4所示的时序逻辑电路的功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。

解：（1）驱动方程：

$$\begin{cases} D_1 = Q_1' \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$

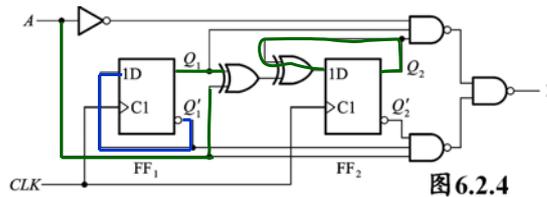


图6.2.4

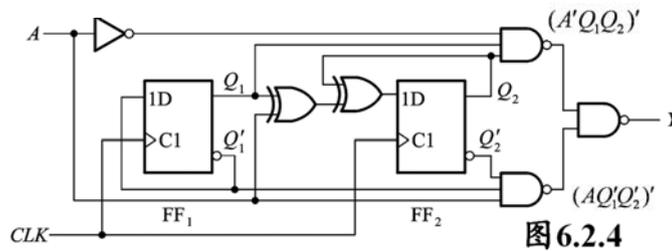
（2）状态方程

D触发器的特性方程为 $Q^* = D$ ，得

$$\begin{cases} D_1 = Q_1' \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases} \quad \longrightarrow \quad \begin{cases} Q_1^{n+1} = D_1 = Q_1' \\ Q_2^{n+1} = D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$



(3) 输出方程



$$Y = [(A'Q_1Q_2)' \cdot (AQ_1'Q_2)']' = A'Q_1Q_2 + AQ_1'Q_2'$$

(4) 状态转换表

状态方程:

$$\begin{cases} Q_1^{n+1} = D_1 = Q_1' \\ Q_2^{n+1} = D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$

输出方程:

$$Y = [(A'Q_1Q_2)' \cdot (AQ_1'Q_2)']' = A'Q_1Q_2 + AQ_1'Q_2'$$

A=0时

Q_2	Q_1	Q_2^*	Q_1^*	Y
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

为4进制**加法**计数器

A=1时

Q_2	Q_1	Q_2^*	Q_1^*	Y
0	0	1	1	1
1	1	1	0	0
1	0	0	1	0
0	1	0	0	0

为4进制**减法**计数器

可以合成一个状态转换表

A=0 时

Q_2	Q_1	Q_2^*	Q_1^*	Y
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

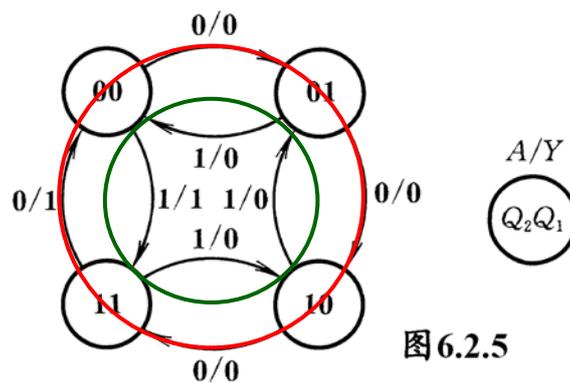
A=1 时

Q_2	Q_1	Q_2^*	Q_1^*	Y
0	0	1	1	1
1	1	1	0	0
1	0	0	1	0
0	1	0	0	0



$Q_2^*Q_1^* \backslash Q_2Q_1$	00	01	11	10
A				
0	01/0	10/0	00/1	11/0
1	11/1	00/0	10/0	01/0

(5)状态转换图:



故此电路为有输入控制的逻辑电路，为**可控计数器**，**A=0**为**加法计数器**，**A=1**为**减法计数器**。



四、状态机流程图（ASM图）（略）



*6.2.3 异步时序逻辑电路的分析方法

由于在异步时序逻辑电路中，触发器的动作不是同时的，故分析时除了写出驱动方程、状态方程和输出方程等外，还要写出各个触发器的时钟信号，因此异步时序逻辑电路的分析要比同步时序逻辑电路的分析复杂。



*6.2.3 异步时序逻辑电路的分析方法

例6.2.3 已知异步时序逻辑电路的逻辑图如图6.2.6所示，试分析它的逻辑功能，画出电路的状态转换图和时序图。

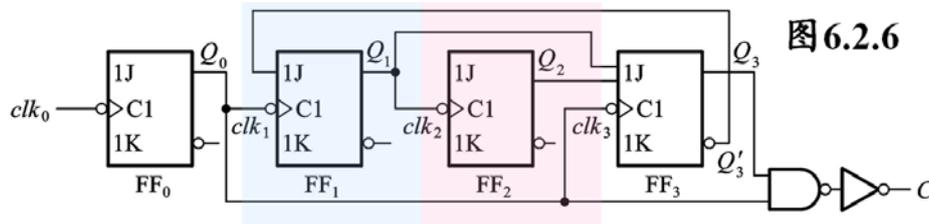


图6.2.6

异步时序逻辑电路

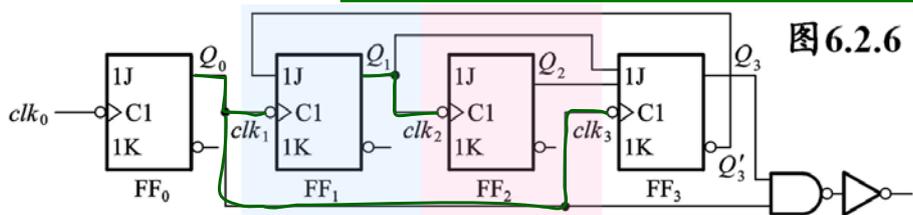


图6.2.6

解：（1）驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3', K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2, K_3 = 1 \end{cases}$$

异步时序逻辑电路

(2) JK的特性方程为 $Q^* = JQ' + K'Q$

可得逻辑电路的状态方程:

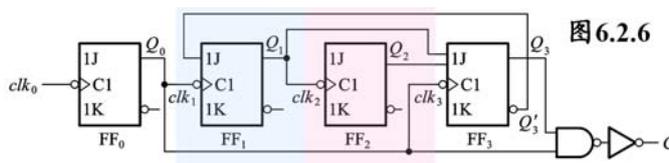
$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3', K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1Q_2, K_3 = 1 \end{cases} \longrightarrow \begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_3'Q_1' \\ Q_2^* = Q_2' \\ Q_3^* = Q_1Q_2Q_3' \end{cases}$$



有时钟信号的触发器才需要用特性方程去计算次态，没有时钟信号的触发器状态保持不变。

21

异步时序逻辑电路



(3)输出方程: $C = Q_0Q_3$

(4) 各触发器的时钟信号:

$$\begin{cases} clk_0 = clk; \\ clk_1 = Q_0; \\ clk_2 = Q_1; \\ clk_3 = Q_2 \end{cases}$$

22

CLK₁的计算

(5) 状态转换表

$$clk_0 = clk;$$

$$clk_1 = Q_0;$$

$$clk_2 = Q_1;$$

$$clk_3 = Q_0;$$

clk ₀ 的 顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	0	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

Q₀产生1→0的跳变时，CLK₁为1。

23

CLK₂的计算

(5) 状态转换表

$$clk_0 = clk;$$

$$clk_1 = Q_0;$$

$$clk_2 = Q_1;$$

$$clk_3 = Q_0;$$

clk ₀ 的 顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

Q₁产生1→0的跳变时，CLK₂为1。

24

CLK₃的计算

(5) 状态转换表

$$clk_0 = clk;$$

$$clk_1 = Q_0;$$

$$clk_2 = Q_1;$$

$$clk_3 = Q_0$$

clk ₀ 的 顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

Q₀产生1→0的跳变时，CLK₃为1。

25

Q₀的次态

(5) 状态转换表

$$clk_0 = clk;$$

$$clk_1 = Q_0;$$

$$clk_2 = Q_1;$$

$$clk_3 = Q_0$$

$$Q_0^* = Q_0'$$

$$Q_1^* = Q_3'Q_1'$$

$$Q_2^* = Q_2'$$

$$Q_3^* = Q_1Q_2Q_3'$$

clk ₀ 的 顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

26

Q₁的次态

(5) 状态转换表

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_3'Q_1' \\ Q_2^* = Q_2' \\ Q_3^* = Q_1Q_2Q_3' \end{cases}$$

clk ₀ 的顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

27

Q₂的次态

(5) 状态转换表

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_3'Q_1' \\ Q_2^* = Q_2' \\ Q_3^* = Q_1Q_2Q_3' \end{cases}$$

clk ₀ 的顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

28

Q₃的次态

(5) 状态转换表

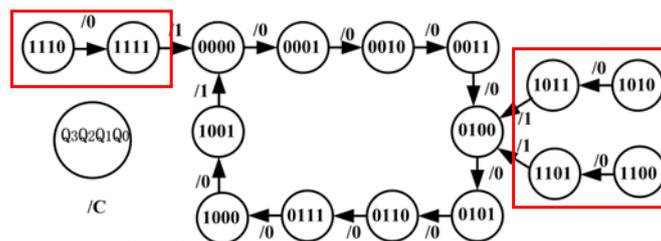
此电路为异步十进制计数器

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_3' Q_1' \\ Q_2^* = Q_2' \\ Q_3^* = Q_1' Q_2' Q_3' \end{cases}$$

clk ₀ 的顺序	触发器状态				时钟信号				输出 C
	Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	clk ₀	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

异步时序逻辑电路

(6) 状态转换图

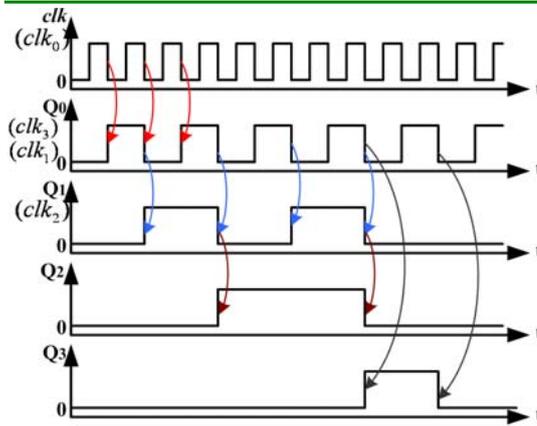


注：由状态转换图可知，10个状态0000~1001是在循环内，而其它的6个状态1010~1111最终在时钟作用下，都可以进入此循环，具有这种特点的时序电路，称为能够自启动的时序电路。

异步时序逻辑电路

(7) 时序图:

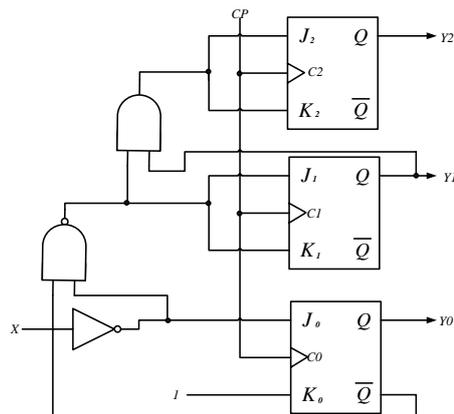
$$\begin{aligned} clk_0 &= clk; \\ clk_1 &= Q_0; \\ clk_2 &= Q_1; \\ clk_3 &= Q_0 \end{aligned}$$



31

练习题(1)

分析右图所示的同步时序逻辑，说明该电路的功能。请给出激励函数、状态转移表



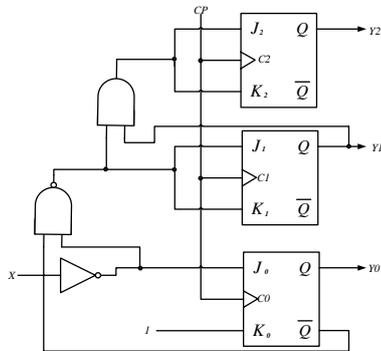
32

解：（1）激励函数：

$$J_2 = K_2 = \overline{\overline{x \cdot y_0}} \cdot y_1 = xy_1 + y_1y_0$$

$$J_1 = K_1 = \overline{\overline{x \cdot y_0}} = x + y_0$$

$$J_0 = \overline{x}, \quad K_0 = 1$$



（2）次态方程

$$Q_2^* = (xy_1 + y_1y_0) \oplus y_2$$

$$Q_1^* = (x + y_0) \oplus y_1$$

$$Q_0^* = \overline{x} \cdot y_0$$

$$Q^* = JQ' + K'Q$$

33

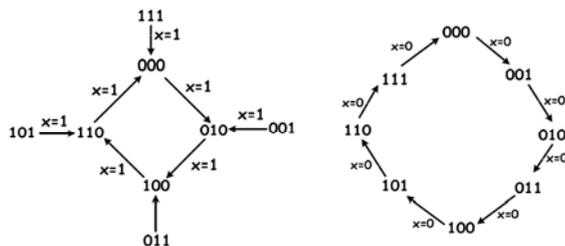
（3）状态转移表

现态			次态 $y_2^* y_1^* y_0^*$					
y_2	y_1	y_0	$x=0$			$x=1$		
0	0	0	0	0	1	0	1	0
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	1	0	0
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	1	0
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	0	0	0
1	1	1	0	0	0	0	0	0

（4）功能分析

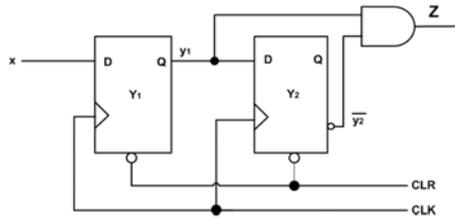
当 $x = 0$ ，电路在时钟作用下做模8计数；

当 $x = 1$ ，电路在时钟作用下做模4计数，并具有自启动功能。

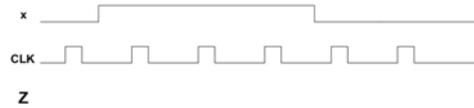


练习题 (2)

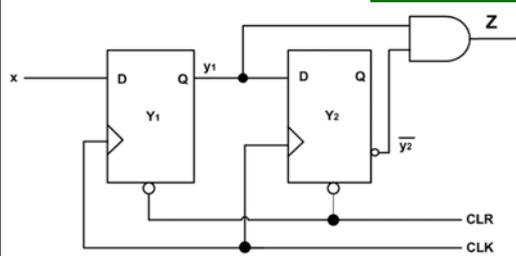
□ 请分析下图中逻辑电路的工作原理，画出输出信号Z的波形图。要求给出详细的设计过程：输出函数、触发器的次态表达式、状态转移图、画出输出信号Z的波形图。



波形图如下：



35



(2) 触发器的次态表达式

$$Q_1^{n+1} = x, Q_2^{n+1} = Q_1^n$$

或者写成

$$y_1^{n+1} = x, y_2^{n+1} = y_1$$

(1) 分析电路组成

外部输入：x，内部输入： $y_1, \overline{y_2}$ ，外部输出：Z。

输出函数： $Z = y_1 \cdot \overline{y_2}$

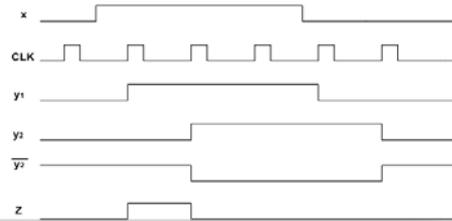
36



(3) 状态转移表

输入 x	现态		次态		输出 Z
	Q_1^n	Q_2^n	Q_1^{n+1}	Q_2^{n+1}	
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	1	0

(4) 输出信号 Z 的波形图



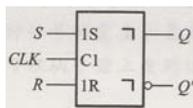


第六章 时序逻辑电路

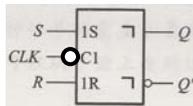
- 6.1 概述
- 6.2 时序逻辑电路的分析方法
- 6.3 若干常用的时序逻辑电路
- 6.4 时序逻辑电路的设计方法
- 6.5 时序逻辑电路中的竞争-冒险现象



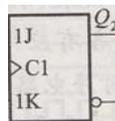
注意区分Q在上升沿还是下降沿变化



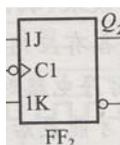
主从JK触发器: Q状态变化发生在下降沿



主从JK触发器: Q状态变化发生在上升沿



边沿JK触发器: Q状态变化发生在上升沿

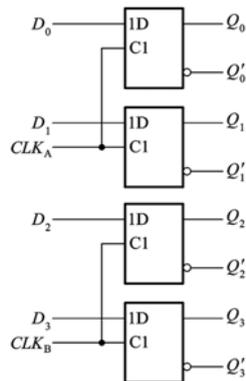


边沿JK触发器: Q状态变化发生在下降沿



6.3.1 寄存器和移位寄存器

一、寄存器（数码寄存器）

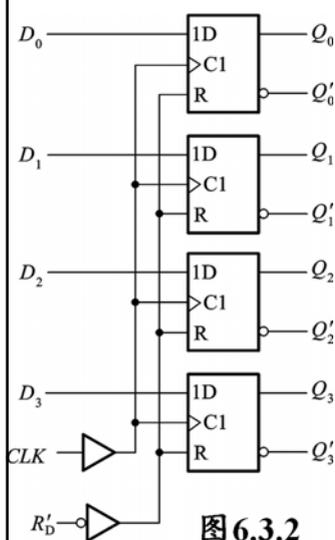


74LS75是由同步SR触发器构成的电平触发D触发器构成的，电路图如图6.3.1所示。由于D触发器是由同步SR触发器构成的，故在时钟clk=1期间，Q随D改变。

图6.3.1

3

一、寄存器（数码寄存器）



74HC175为由CMOS边沿触发器构成的4位寄存器，其逻辑电路如图6.3.2所示。

D₀ ~ D₃为并行数据输入端；

CLK为寄存脉冲输入端

R'_D为清零端

此寄存器为并行输入/并行输出方式。在CLK↑时，将D₀~D₃数据存入，与此前后的D状态无关，而且具有异步置零（清零）功能。

图6.3.2

4

二、移位寄存器

移位寄存器不仅具有**数码存储**功能，还具有**移位**的功能，即在**移位脉冲**的作用下，依次**左移或右移**。故移位寄存器除了寄存代码外，还可以实现数据的**串行-并行转换**、**数值运算**以及**数据处理**等。

1. 由D触发器构成的4位移位寄存器（右移）：

电路如图6.3.3所示。

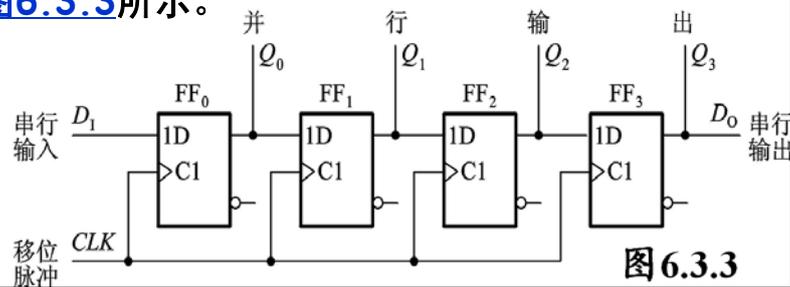


图6.3.3

1. 由D触发器构成的4位移位寄存器（右移）

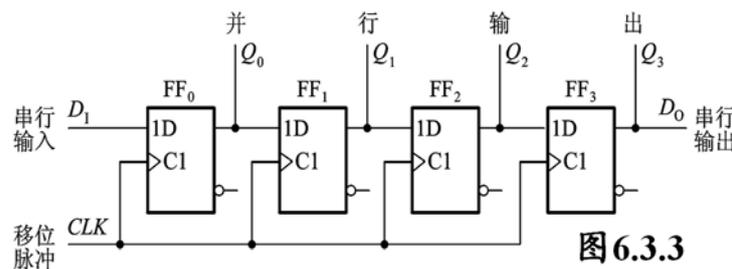


图6.3.3

其中 D_I 为**串行输入端**， D_O 为**串行输出端**， $Q_3 \sim Q_0$ 为**并行输出端**， CLK 为**移位脉冲输入端**

因为触发器由传输延迟时间 t_{pd} ，所以在 $CLK \uparrow$ 到达时，各触发器按前一级触发器原来的状态翻转。

1. 由D触发器构成的4位移位寄存器（右移）

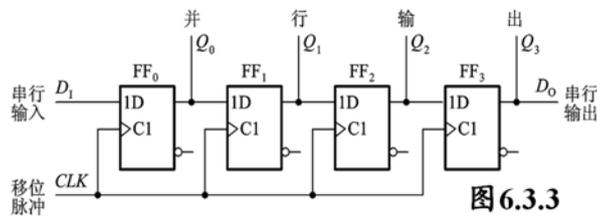


图 6.3.3

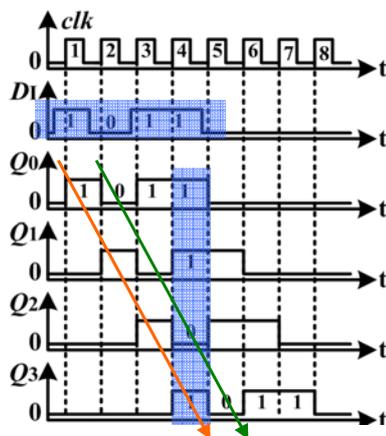
其状态表为：

clk的顺序	输入D1	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	0
5	0	0	1	1	0
6	0	0	0	1	1
7	0	0	0	0	1

7

1. 由D触发器构成的4位移位寄存器（右移）

波形图



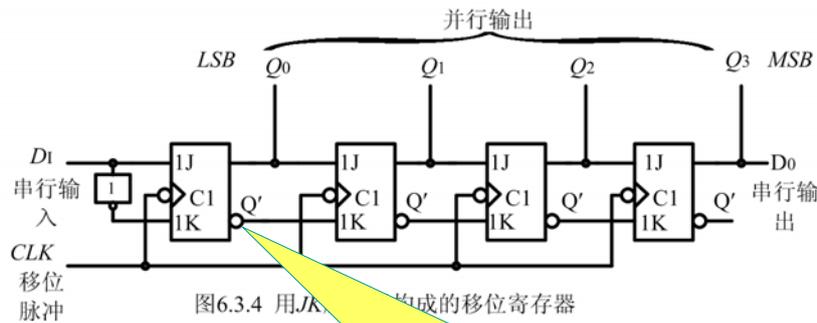
功能：

代码的**串行-并行**转换
数据的**并行-串行**转换

8

2. 由JK触发器构成的移位寄存器

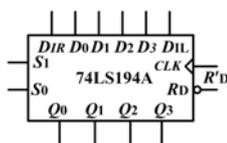
电路如图6.3.4所示，其分析原理同上，不同的是JK触发器的寄存是在移位脉冲的下降沿发生的。



J、K反向连接在一起，是D触发器

3. 双向移位寄存器74LS194A

(1) 逻辑图形符号及功能表：如图6.3.5所示。



(a) 逻辑图形符号

$R'D$	S_1	S_0	工作状态
0	x	x	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

(b) 功能表

图6.3.5 双向移位寄存器74LS194的逻辑符号及功能表

D_{IR} —数据右移串行输入端

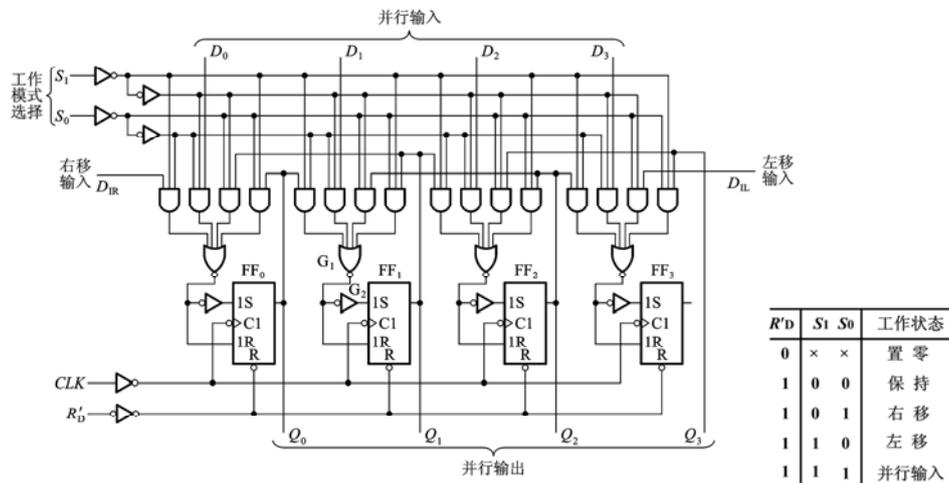
D_{IL} —数据左移串行输入端

$D_0 \sim D_3$ —数据并行输入端

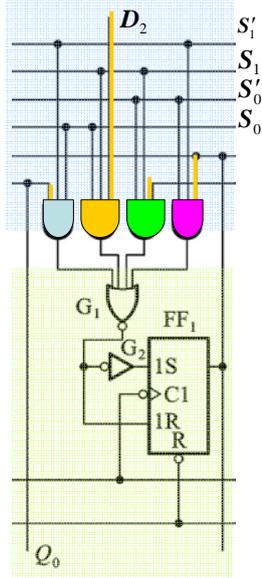
S_1 、 S_0 —工作状态控制端

$Q_0 \sim Q_3$ —数据并行输出端

器件实例：74LS 194A， 左/右移，并行输入，保持，异步置零等功能



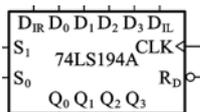
通过控制 $S_1 S_0$
就可以选择194的工作状态



$$S_{Q1} = S_1' S_0' \cdot Q_1 + S_1' S_0 \cdot Q_0 + S_1 S_0' Q_2 + S_1 S_0 D_1$$

$$R_{Q1} = S_1' S_0'$$

$$Q_1^* = S_{Q1}$$



R' D	S ₁	S ₀	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

(2) 扩展：两片74LS194A构成8位双向移位寄存器，如图6.3.6所示

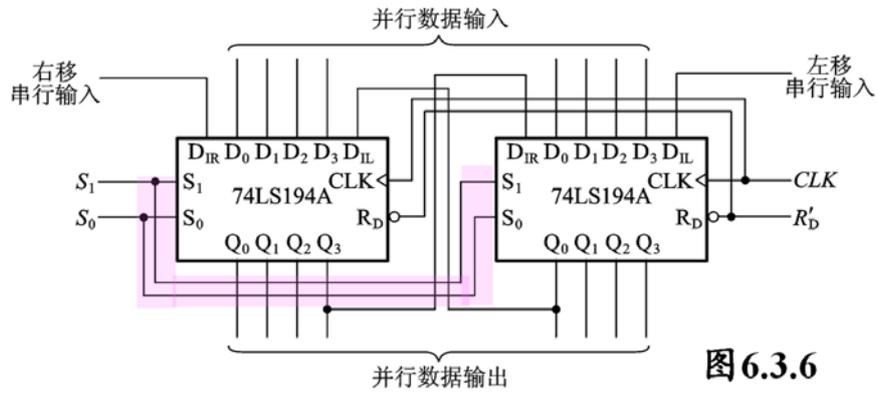


图6.3.6

两片74LS194A构成8位双向移位寄存器(1)

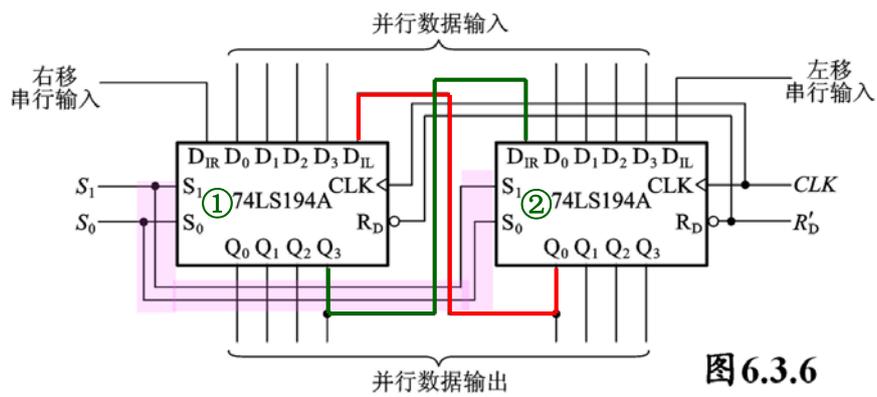


图6.3.6

片①的 Q_3 连接片②的 D_{IR} , 片②的 Q_0 连接片①的 D_{IL}

两片74LS194A构成8位双向移位寄存器(2)

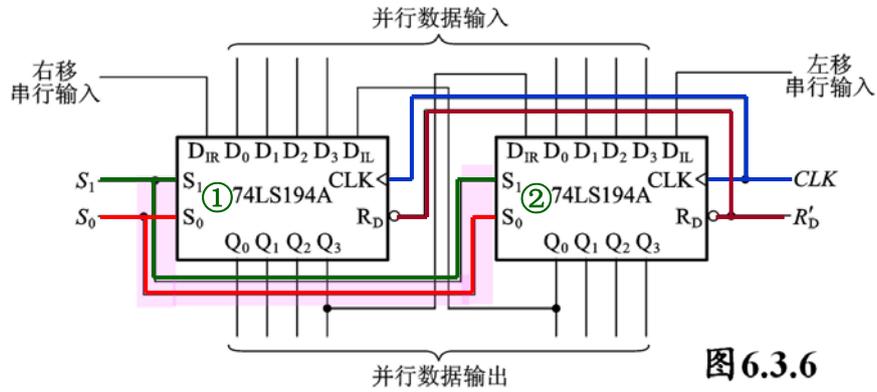


图 6.3.6

片①和片②的 S_1, S_1, CLK, R_D' 分别连接在一起

试分析图6.3.8中输出Y和输入输入M、N的关系

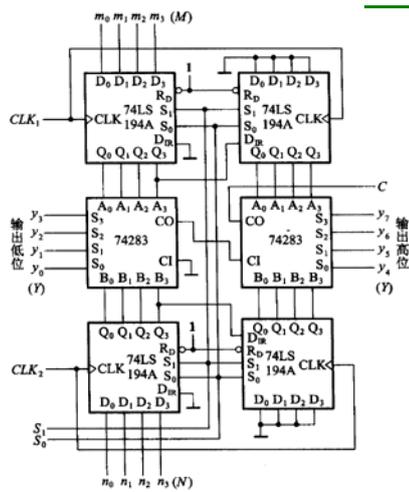


图 6.3.8 例 6.3.1 的电路

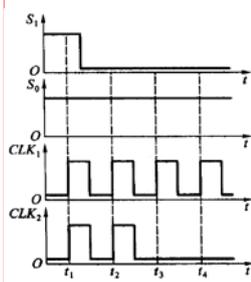


图 6.3.9 例 6.3.1 电路的波形图

双向移位寄存器
74LS194A功能表

$R'D$	S_1	S_0	工作状态
0	x	x	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

试分析图6.3.8中输出Y和输入输入M、N的关系

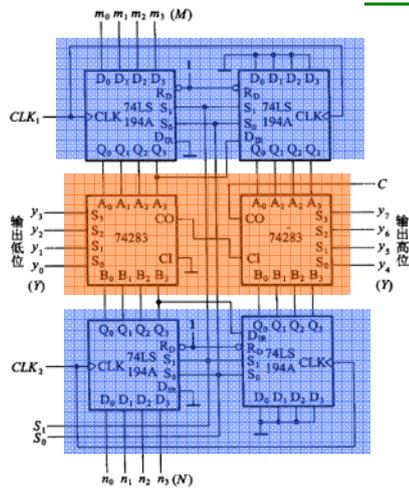


图 6.3.8 例 6.3.1 的电路

8位单向移位寄存器（右移）

8位单向并行加法器

8位单向移位寄存器（右移）

试分析图6.3.8中输出Y和输入输入M、N的关系

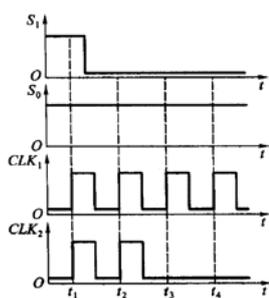


图 6.3.9 例 6.3.1 电路的波形图

$t = t_1, s_0 = s_1 = 1$, 并行输入工作状态, M、N 分别存入两个8位的移位寄存器中, $M+N$ 。

$t = t_2, s_1 = 0, s_0 = 1$, 右移工作状态, 右移一位乘以2。 $2M+2N$ 。

$t = t_3, s_1 = 0, s_0 = 1$, 右移工作状态, 右移一位乘以2。 $4M+2N$ 。

$t = t_4, s_1 = 0, s_0 = 1$, 右移工作状态, 右移一位乘以2。 $8M+2N$ 。

R'D	S1	S0	工作状态
0	x	x	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

双向移位寄存器
74LS194A功能表

6.3.2 计数器

在计算机和数字逻辑系统中，计数器是最基本、最常用的部件之一。它不仅可以记录输入的脉冲个数，还可以实现分频、定时、产生节拍脉冲和脉冲序列等。

计数器的分类如下：

*按时钟分：同步计数器、异步计数器

*按计数过程中数字增减分：
加法计数器、减法计数器和可逆计数器

*按计数器中的数字编码分：二进制计数器、二-十进制计数器和格雷码计数器等

*按计数容量分：二进制计数器、十进制计数器、六十进制等

6.3.2 计数器

一、同步计数器

1. 同步二进制计数器

(1) 加法计数器：

原理：根据二进制加法运算规则可知：在多位二进制数末位加1，若第*i*位以下皆为1时，则第*i*位应翻转。

由此得出规律，若用T触发器构成计数器，则第*i*位触发器输入端*T_i*的逻辑式应为：

$$T_i = Q_{i-1}Q_{i-2}\dots Q_0$$

$$T_0 \equiv 1$$

每次输入计数脉冲都要翻转

CLK	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

图6.3.8为4位同步二进制计数器的逻辑电路。每个触发器都是联成T触发器。

a. 驱动方程

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{cases}$$

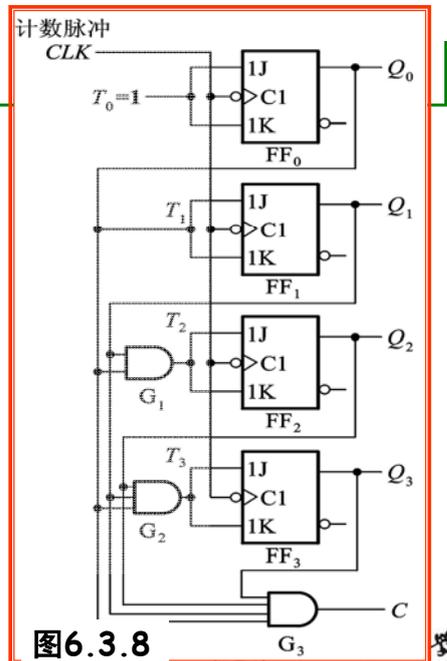


图6.3.8

3

b. 状态方程:

T触发器的特性方程为 $Q^* = TQ$

则状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_1' + Q_0' Q_1 = Q_0 \oplus Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 = (Q_0 Q_1) \oplus Q_2 \\ Q_3^* = Q_0 Q_1 Q_2 Q_3' + (Q_0 Q_1 Q_2)' Q_3 = (Q_0 Q_1 Q_2) \oplus Q_3 \end{cases}$$

c. 输出方程: $C = Q_0 Q_1 Q_2 Q_3$

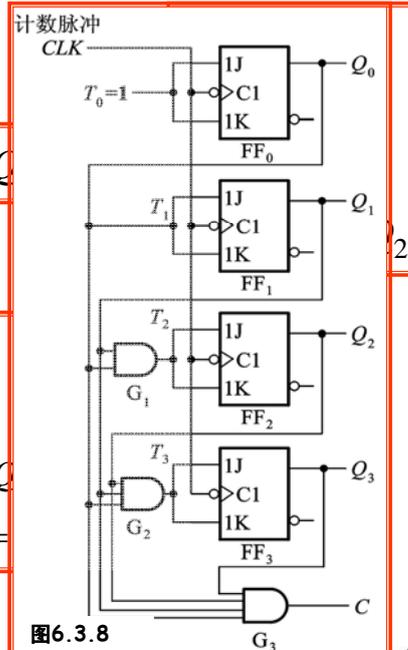


图6.3.8

4

电子科学与应用物理学院
School of Electronic Science & Applied Physics

d. 状态转换表:

$$Q_0^* = Q_0'$$

$$Q_1^* = Q_0 Q_1' + Q_0' Q_1 = Q_0 \oplus Q_1$$

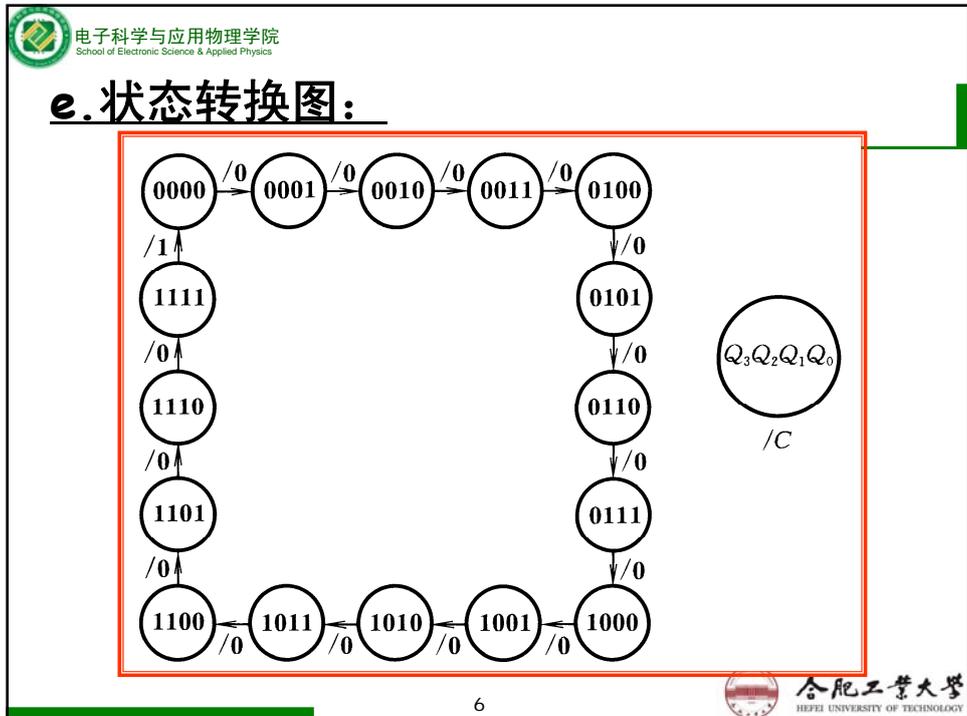
$$Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 = (Q_0 Q_1) \oplus Q_2$$

$$Q_3^* = Q_0 Q_1 Q_2 Q_3' + (Q_0 Q_1 Q_2)' Q_3 = (Q_0 Q_1 Q_2) \oplus Q_3$$

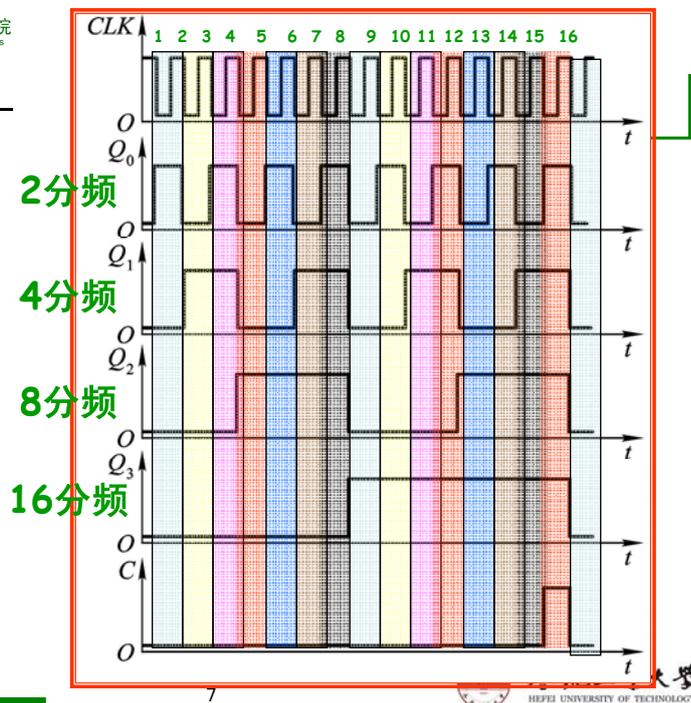
$$C = Q_0 Q_1 Q_2 Q_3$$

计数 脉冲顺序	电路状态				等效 十进制数	进位输出 C
	Q_3	Q_2	Q_1	Q_0		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	0
10	1	0	1	0	10	0
11	1	0	1	1	11	0
12	1	1	0	0	12	0
13	1	1	0	1	13	0
14	1	1	1	0	14	0
15	1	1	1	1	15	1
16	0	0	0	0	16	0

5



f. 时序图:

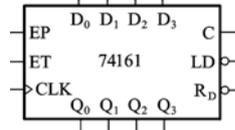
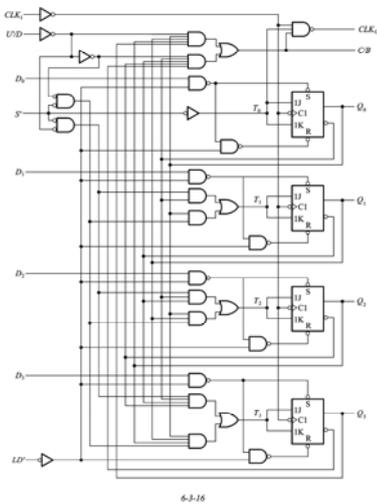


g. 逻辑功能:

(1) 由于每输入16个CLK 脉冲触发器的状态一循环，并在输出端C产生一进位信号，故为**16进制计数器**。若二进制数码的位数为 n ，而计数器的循环周期为 2^n ，这样计数器又叫**二进制计数器**。将计数器中能计到的最大数称为**计数器的容量**，为 **$2^n - 1$** 。

(2) 计数器有**分频**功能，也把它叫做**分频器**。若CLK脉冲的频率为 f_0 ，则由16进制计数器的时序图可知，输出端 Q_0 、 Q_1 、 Q_2 、 Q_3 的频率为 $f_0 / 2$ 、 $f_0 / 4$ 、 $f_0 / 8$ 、 $f_0 / 16$ 。

器件实例：74161



CLK	R _p	LD'	EP	ET	工作状态
X	0	X	X	X	置0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

注：74161和74LS161只是内部电路结构有些区别。74LS163也是4位二进制加法计数器，但清零方式是同步清零。

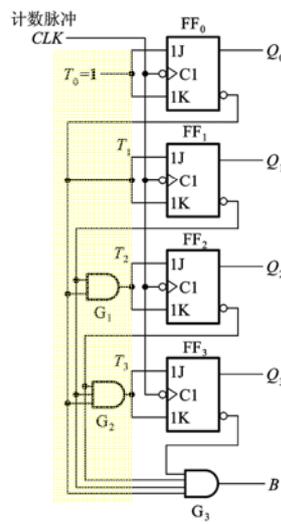
6.3.2 计数器

(2) 减法计数器:

- 原理：根据二进制减法运算规则可知：在多位二进制数末位减1，若第*i*位以下皆为0时，则第*i*位应翻转。
- 由此得出规律，若用T触发器构成计数器，则第*i*位触发器输入端T_i的逻辑式应为：

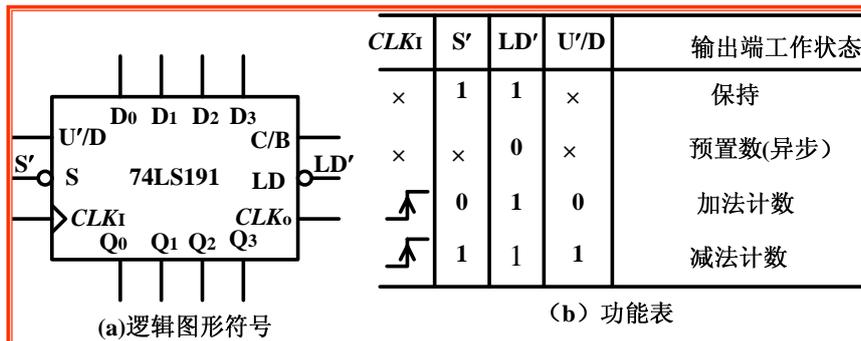
$$T_i = Q'_{i-1} Q'_{i-2} \dots Q'_0$$

$$T_0 \equiv 1$$



a. 单时钟方式 (3) 加/减计数器(可逆计数器)

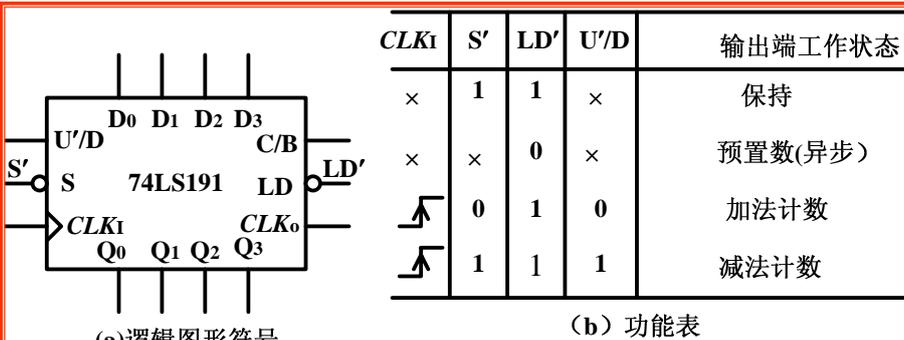
加/减脉冲用同一输入端，由加/减控制线的高低电平决定加/减计数。74LS191就是单时钟方式的可逆计数器，其图形符号和功能表如图6.3.11所示。



(a)逻辑图形符号

(b) 功能表

图6.3.11 同步十六进制可逆计数器74LS191的图形符号及功能表

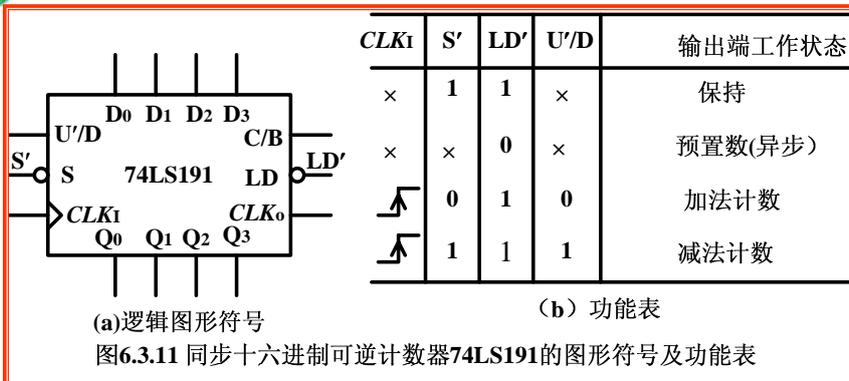


(a)逻辑图形符号

(b) 功能表

图6.3.11 同步十六进制可逆计数器74LS191的图形符号及功能表

其中： LD' —异步置数端； S' —计数控制端
 U'/D —加减计数控制端； C/B —进位/借位输出端
 $D_0 \sim D_3$ —预置数输入端； $Q_0 \sim Q_3$ —计数输出端

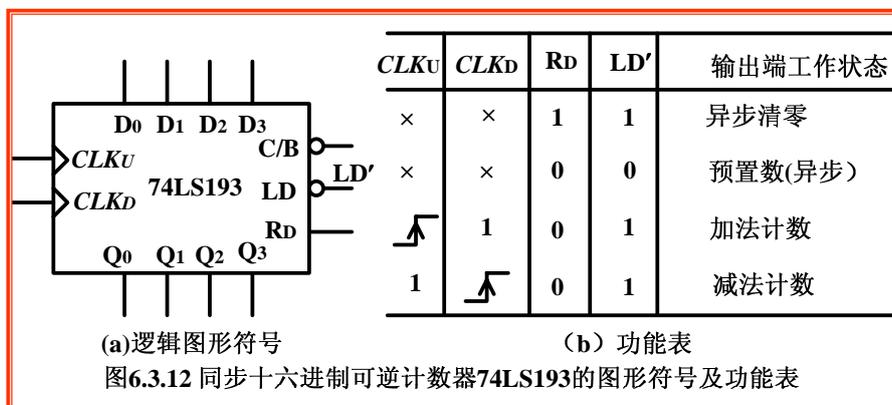


注：

CLK_I —计数脉冲输入端，上升沿动作； CLK_O —串行时钟输出端，当 $C/B=1$ 时，在下一个 CLK_I 上升沿到达前 CLK_O 端有一个负脉冲输出。

b. 双时钟方式

74LS193为双时钟加/减计数器，一个时钟用作加法计数脉冲，一个时钟用作减法计数脉冲，其图形符号和功能表如图6.3.12所示。



6.3.2 计数器



b. 状态方程

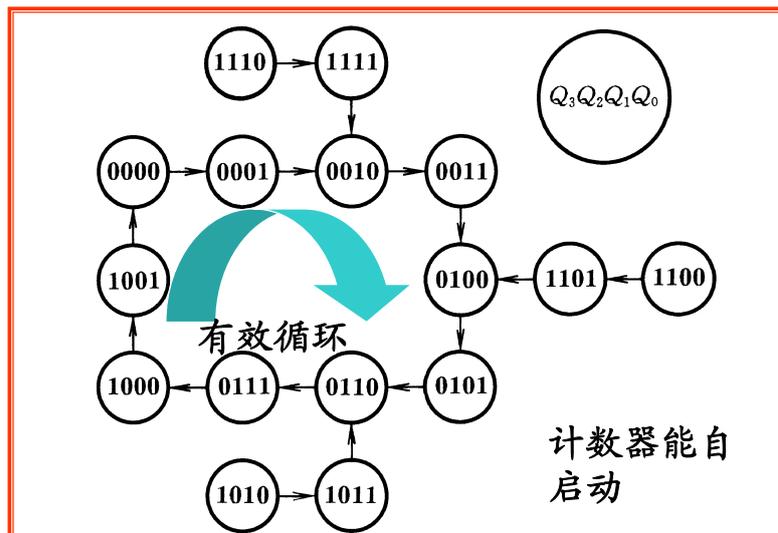
$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_3' Q_1' + (Q_0 Q_3')' Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\ Q_3^* = (Q_0 Q_1 Q_2 + Q_0 Q_3) Q_3' + (Q_0 Q_1 Q_2 + Q_0 Q_3)' \cdot Q_3 \end{cases}$$

3

6.3.2 计数器



状态转换图为：

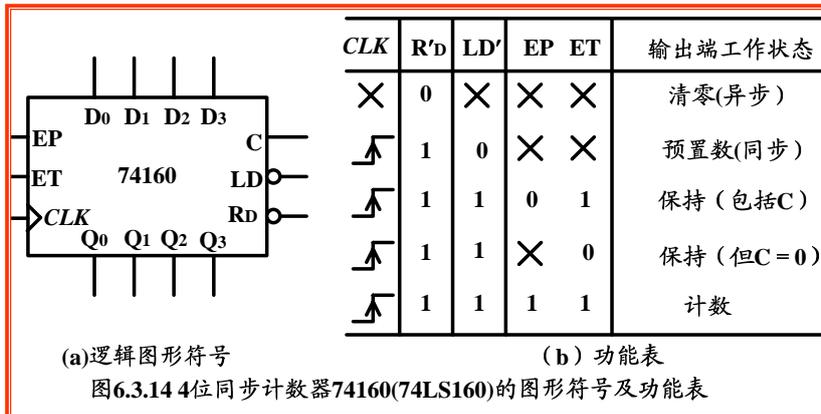


4

同步十进制计数器74160/74LS160



74160 (74LS160) 逻辑符号和功能表如图6.3.14所示。



注：**74LS160**为**十进制**计数器，故进位脉冲是在**1001**时出现的，而**161**为**十六进制**，进位脉冲是在**1111**时出现的。



6.3.2 计数器



② 减法计数器

基本原理：对二进制减法计数器进行修改，在0000时减“1”后跳变为1001，然后按二进制减法计数就行了。

计数脉冲顺序	电路状态				等效十进制数	借位输出 C
	Q ₃	Q ₂	Q ₁	Q ₀		
0	1	0	0	1	9	0
1	1	0	0	0	8	0
2	0	1	1	1	7	0
3	0	1	1	0	6	0
4	0	1	0	1	5	0
5	0	1	0	0	4	0
6	0	0	1	1	3	0
7	0	0	1	0	2	0
8	0	0	0	1	1	0
9	0	0	0	0	0	1
10	1	0	0	1	9	0

$$T_1 = Q'_0 \Rightarrow Q'_0(Q'_3Q'_2Q'_1)'$$

$$T_2 = Q'_1Q'_0 \Rightarrow Q'_1Q'_0 \cdot (Q'_1Q'_2Q'_3)'$$

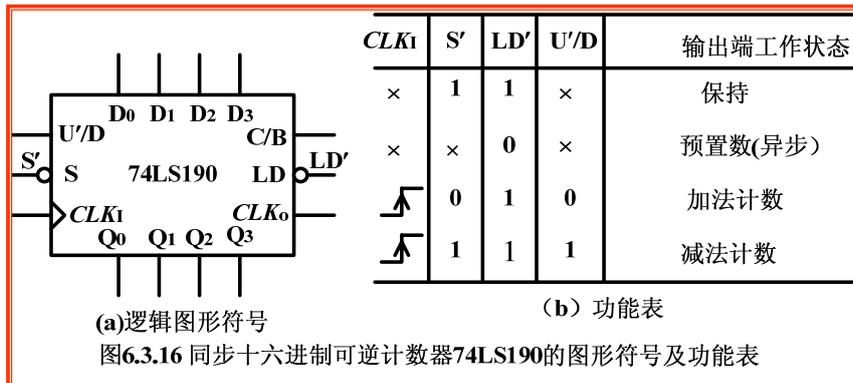


6.3.2 计数器



③十进制可逆计数器74LS190:

其逻辑图形符号及功能表如图6.3.16所示。



注：74LS190为单时钟十进制可逆计数器，除了74LS190外，还有74LS168、CC4510，还有双时钟类型的74LS192、CC40192等。

9

6.3.2 计数器



二、异步计数器

1.异步二进制加法计数器

构成方法：触发器接成计数器形式，时钟CLK加在最低位，高位脉冲接在低位的Q端或Q'端。在末位+1时，从低位到高位逐位进位方式工作。

原则：每1位从“1”变“0”时，向高位发出进位，使高位翻转

CLK	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

10

6.3.2 计数器

图6.3.17是由JK触发器构成的异步3位二进制加法计数器的逻辑电路。波形如图所示

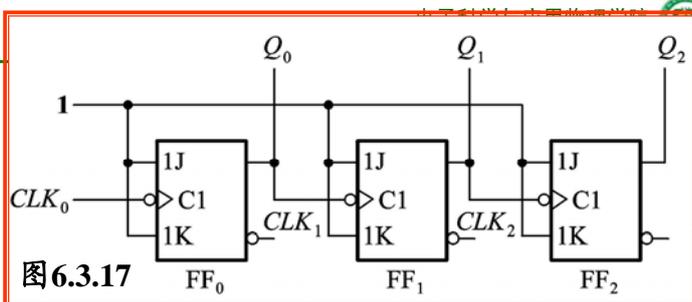
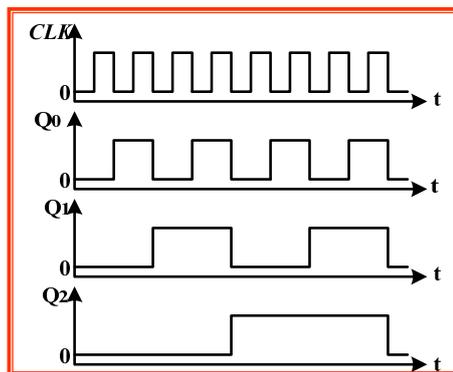


图6.3.17



6.3.2 计数器

② 异步二进制减法计数器

构成方法：触发器接成计数器形式，时钟CLK加在最低位，高位脉冲接在低位的Q端或Q'端。在末位-1时，从低位到高位逐位借位方式工作。

原则：每1位从“0”变“1”时，向高位发出进位，使高位翻转

CLK	Q ₂	Q ₁	Q ₀
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0

6.3.2 计数器

图6.3.18是由JK触发器构成的异步3位二进制加法计数器的逻辑电路。波形如图所示

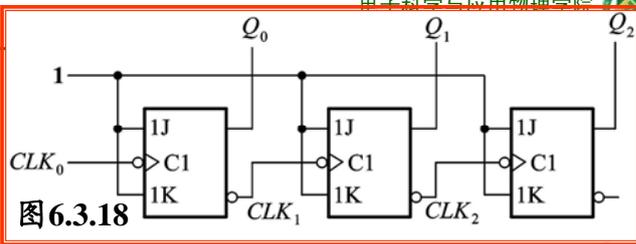
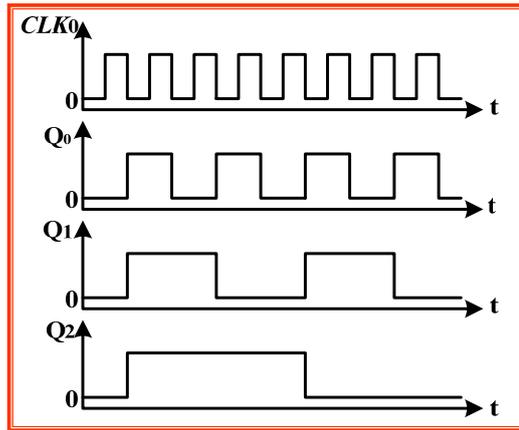


图6.3.18

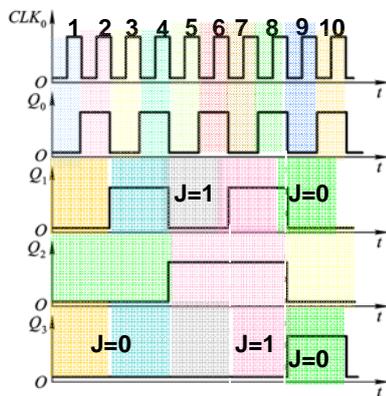


13

6.3.2 计数器

2. 异步十进制计数器

原理：在4位二进制异步加法计数器上修改而成，要跳过1010~1111这六个状态



计数脉冲顺序	电路状态				等效十进制数	进位输出 C
	Q_3	Q_2	Q_1	Q_0		
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	2	0
3	0	0	1	1	3	0
4	0	1	0	0	4	0
5	0	1	0	1	5	0
6	0	1	1	0	6	0
7	0	1	1	1	7	0
8	1	0	0	0	8	0
9	1	0	0	1	9	0
10	1	0	1	0		
	0	0	0	0	10	1

14

6.3.2 计数器



由JK触发器构成的异步十进制计数器,其逻辑电路如图6.3.19所示,其状态表及时序图与同步十进制计数器相同。

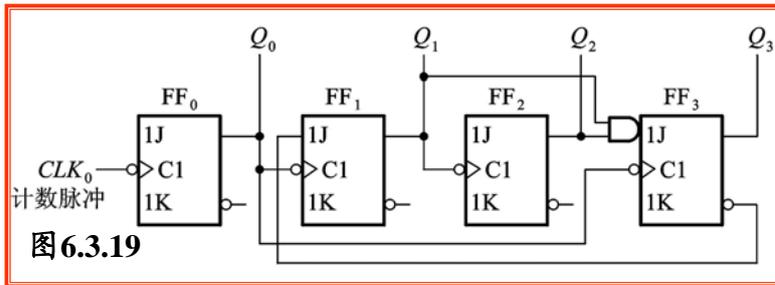


图6.3.19

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3' & K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_2 Q_1 & K_3 = 1 \end{cases}$$

6.3.2 计数器



*二-五-十进制异步计数器74LS290:

其逻辑符号及功能表如图6.3.20所示

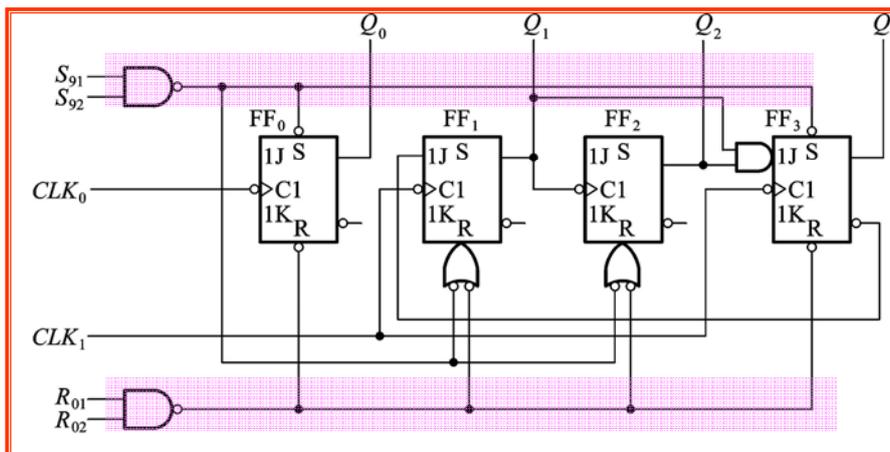
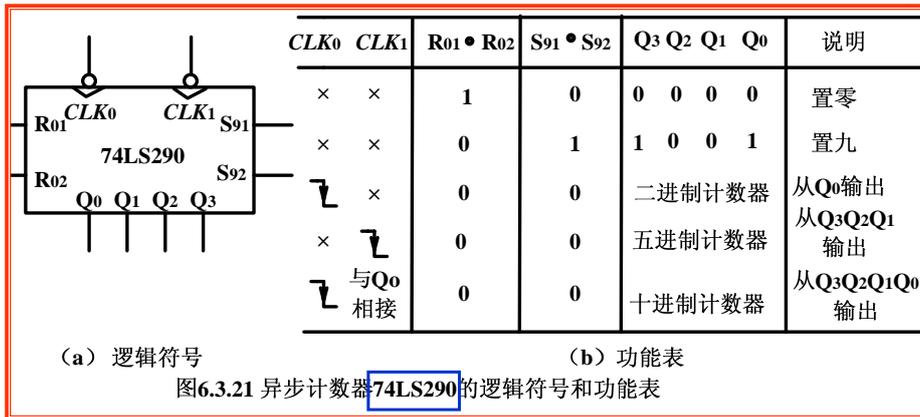


图6.3.20

6.3.2 计数器



其逻辑符号及功能表如图6.3.21所示

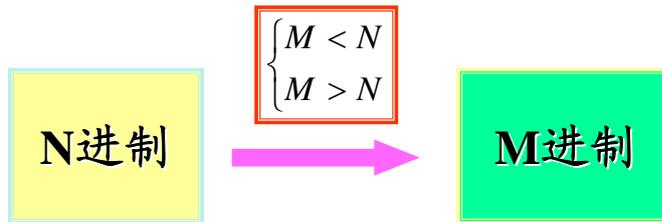


6.3.2 计数器



三、任意进制计数器的构成方法

若已有N进制计数器（如74LS161），现在要实现M进制计数器



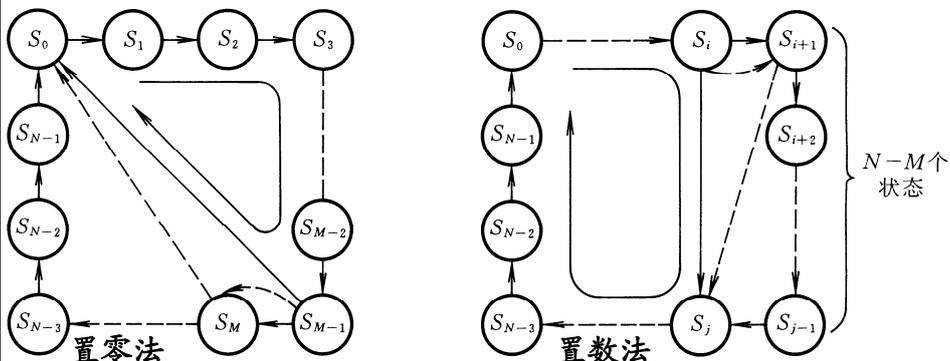
1

6.3.2 计数器



1. $M < N$ 的情况

在N进制计数器的顺序计数过程中，若设法使之跳过 $(N - M)$ 个状态，就可以得到M进制计数器了，其方法有置零法（复位法）和置数法（置位法）。

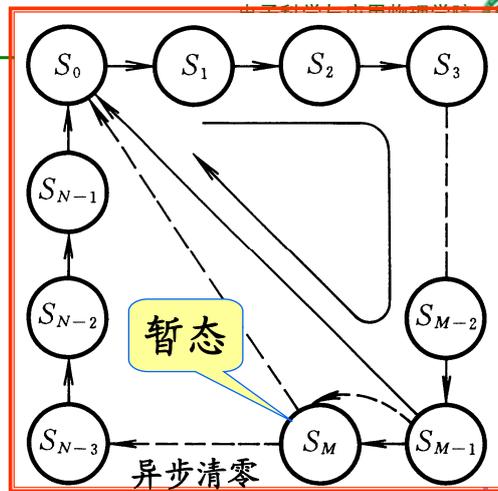


2

6.3.2 计数器

a. 置零法:

置零法适用于置零（有异步和同步）输入端的计数器，如异步置零的有74LS160、161、191、190、290，同步置零的有74LS163、162，其工作原理示意图如图所示。



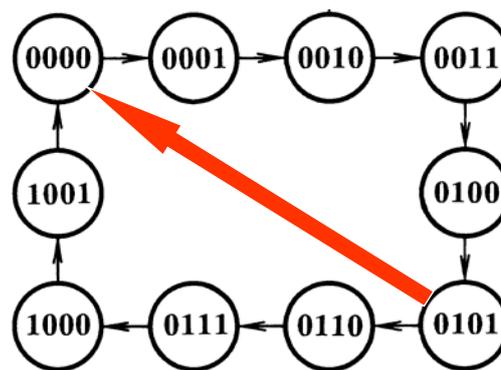
若原来的计数器为N进制，初态从 S_0 开始，则到 S_{M-1} 为M个循环状态。若清零为异步清零，故提供清零信号的状态为暂态，它不能计一个脉冲，所以为了实现M进制计数器，提供清零信号的状态为 S_M 。

3

6.3.2 计数器

例6.3.2 利用置零法将十进制的74160接成六进制计数器。

解：74160有效循环为0000~1001，由于初态为0000，故六进制为六个状态循环，即0000~0101，回零信号取自0110。



异步置零法

4

6.3.2 计数器

其接线图如图6.3.22所示，波形如图6.3.23所示

CLK	R'd	LD'	EP	ET	输出端工作状态
×	0	×	×	×	清零(异步)
↑	1	0	×	×	预置数(同步)
↑	1	1	0	1	保持(包括C)
↑	1	1	×	0	保持(但C=0)
↑	1	1	1	1	计数

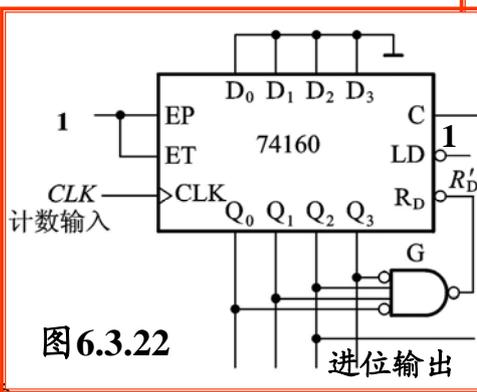


图6.3.22

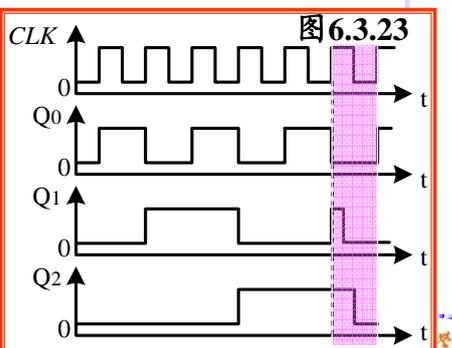


图6.3.23

6.3.2 计数器

例6.3.3 如图6.3.24所示逻辑电路是由74161构成的计数器，试分析为几进制计数器？画出状态表、状态转换图和时序图。

解: $R'_D = (Q_2 Q_0)'$

状态表为

CLK	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1

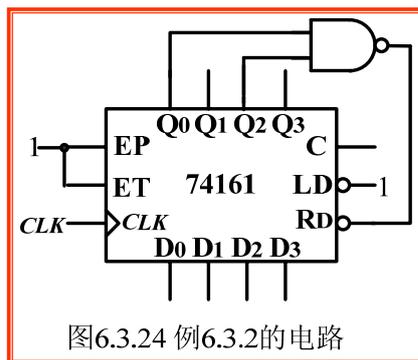


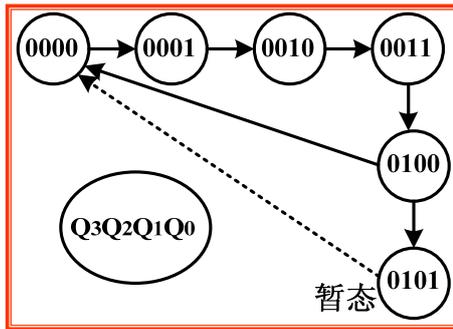
图6.3.24 例6.3.2的电路

故由状态表可知为5进制计数器。

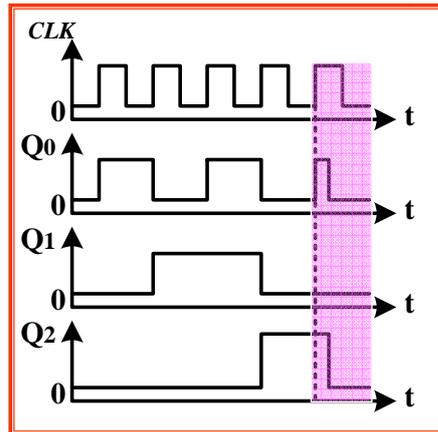
6.3.2 计数器



状态转换图:



时序图为



7

6.3.2 计数器



例6.3.4 试用置零法由74LS161构成12进制计数器，画出时序图。

解：其状态转换图如图6.3.25所示，则产生清零信号为 $Q_3 Q_2 Q_1 Q_0 = 1100$

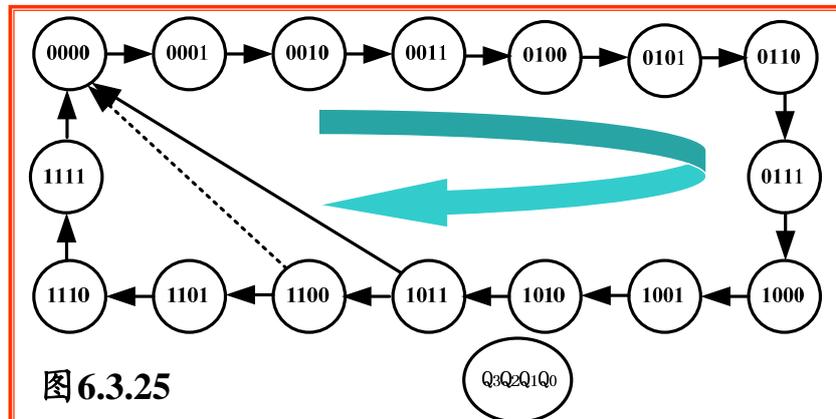


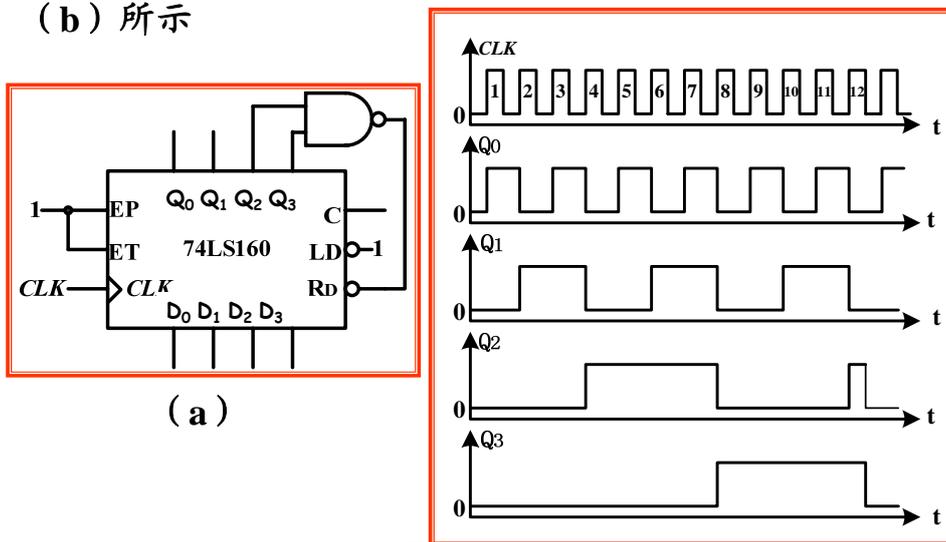
图 6.3.25

8

6.3.2 计数器



可实现的电路为如图6.3.26 (a) 所示，其时序图为 (b) 所示



9

图6.3.26

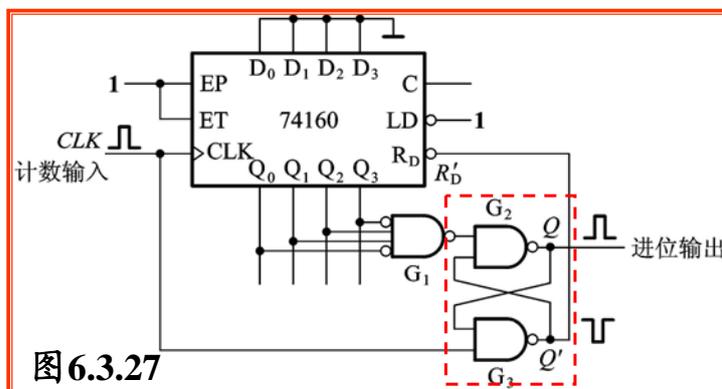
(b)



6.3.2 计数器



注：由于清零信号随着计数器被清零而立即消失，其持续的时间很短，有时触发器可能来不及动作（复位），清零信号已经过时，导致电路误动作，故**置零法的电路工作可靠性低**。为了改善电路的性能，在清零信号产生端和清零信号输入端之间接一**基本RS触发器**，如图6.3.27所示。



10

图6.3.27



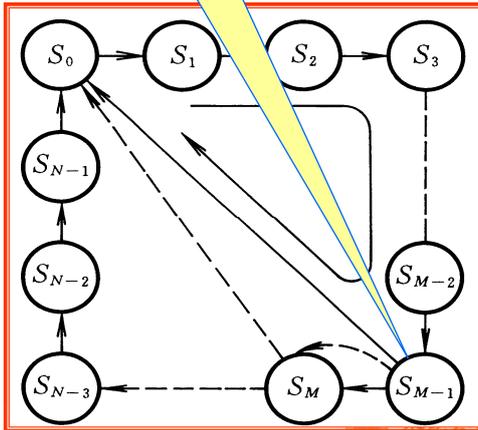


6.3.2 计数器

b. 置数法:

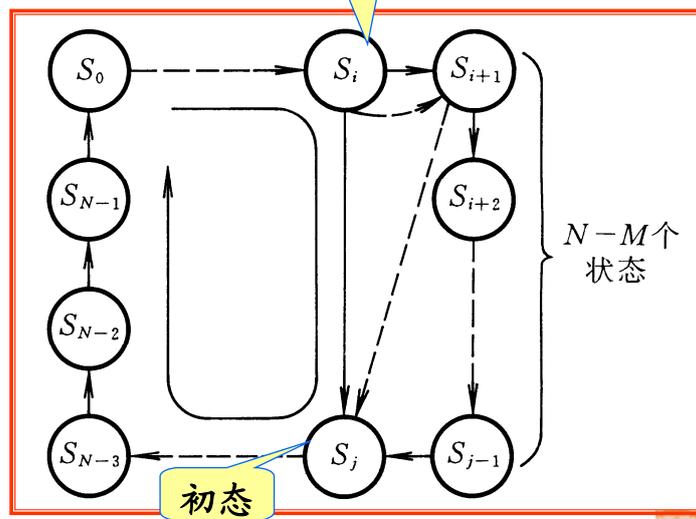
有预置数功能的计数器构成M进制计数器。但注意74LS161(160)为同步置数，74LS191(190)为异步预置数。

置数法的原理是通过给计数器重复置入某个数值的方法跳过(N-M)个状态，从而获得M进制计数器的。为了实现M进制计数器，同步置数信号应由 S_{M-1} 产生，而异步置数应由 S_M 产生。



6.3.2 计数器

注：同步置零法由 S_0 产生预置信号的状态，而置数法的初态可以使任何一个状态，只要跳过M-N个状态即可





6.3.2 计数器

例6.3.5 图6.3.28所示电路是可变计数器。试分析当控制变量A为1和0时电路为几进制计数器。画出各自的时序波形。

解：置位信号为

$$LD' = Y$$

$$= (A'Q_3Q_0 + AQ_3Q_1Q_0)'$$

预置数为 $D_3D_2D_1D_0 = 0000$

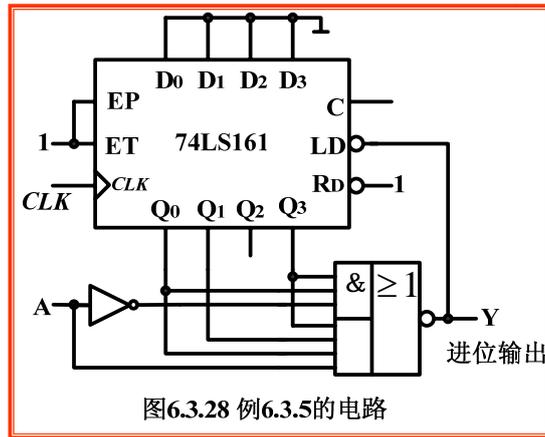


图6.3.28 例6.3.5的电路

6.3.2 计数器



对应 $A = 0$ 和 $A = 1$ 的状态转换表为

$$LD' = Y$$

$$= (A'Q_3Q_0 + AQ_3Q_1Q_0)'$$

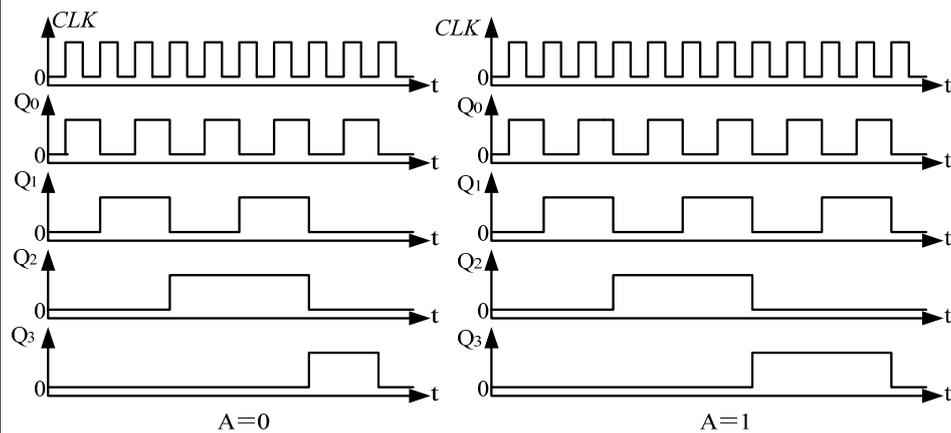
由状态表可知， $A = 0$ 为10进制计数器， $A = 1$ 为12进制计数器

计数 脉冲顺序	$A=0$				$A=1$			
	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	0	0	0
9	1	0	0	1	1	0	0	1
10					1	0	1	0
11					1	0	1	1

6.3.2 计数器



其时序波形如下



15

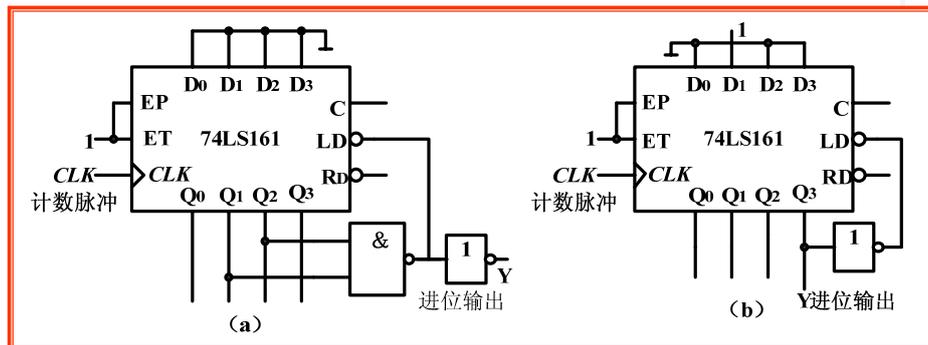


6.3.2 计数器



例5.3.5 利用置数法由74LS161和74LS191构成7进制加法计数器。

解：实现的电路如下



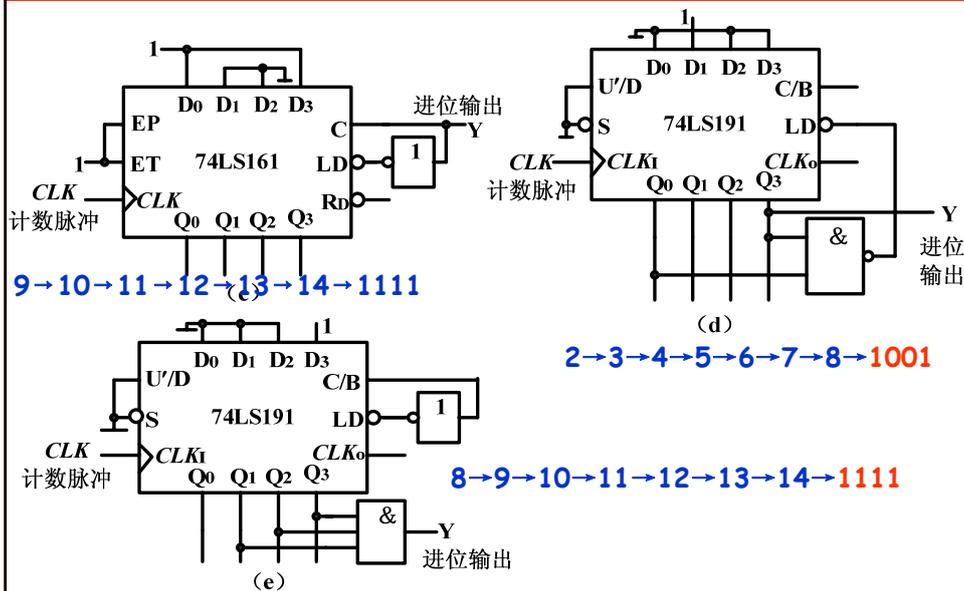
0→1→2→3→4→5→0110

2→3→4→5→6→7→1000

16



6.3.2 计数器



17



6.3.2 计数器



2. $M > N$ 的情况

这种情况下，必须用多片N进制计数器组合起来，才能构成M进制计数器。连接方式有串行进位方式、并行进位方式、整体置零方式和整体置数方式。

(1) 串行进位方式和并行进位方式:

串行进位方式:

在串行进位方式中，以低位片的进位信号作为高位片的时钟输入信号。两片始终同时处于计数状态。

18





6.3.2 计数器

例如采用串行进位方式，利用74LS160实现100进制计数器，其电路如图6.3.29所示。

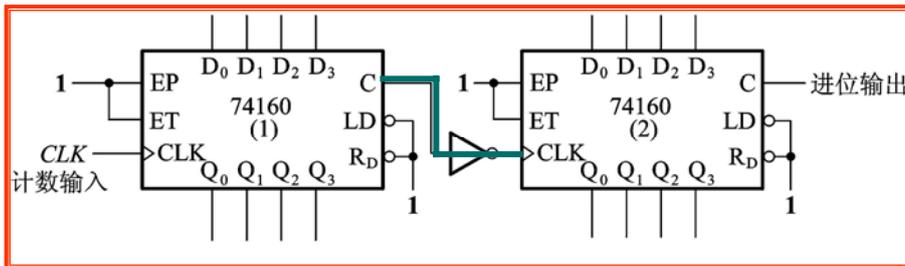


图6.3.29

并行进位方式:

在并行进位方式中，以低位片的进位输出信号作为高位片的工作状态控制信号，两片的计数脉冲接在同一计数输入脉冲信号上。

19



6.3.2 计数器

例如采用并行进位方式，利用74LS160实现100进制计数器，其电路如图6.3.30所示。

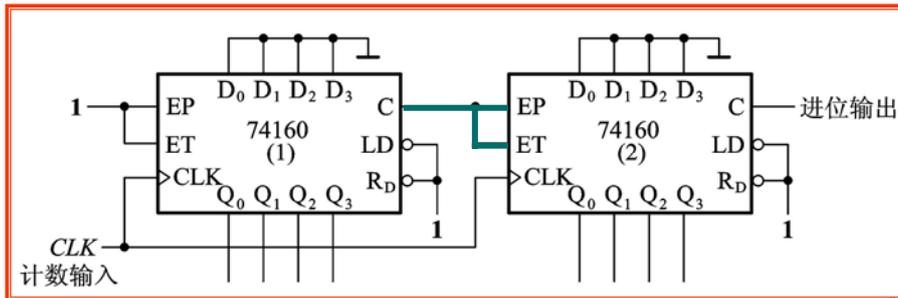


图6.3.30

a. 若要实现的M进制可分解成两个小于N的因数相乘，即 $M = N_1 \times N_2$ ，则先将N进制计数器接成 N_1 进制计数器和 N_2 进制计数器，再采用串行进位或并行进位方式将两个计数器连接起来，构成M进制计数器。

20



6.3.2 计数器



例6.3.6 试利用串行进位方式由74LS160构成24进制加法计数器

解：24可分解成 4×6 （或者 3×8 、 2×12 ），则先将两片74LS160构成4进制和6进制计数器，再连接，其实现电路如图6.3.31所示。

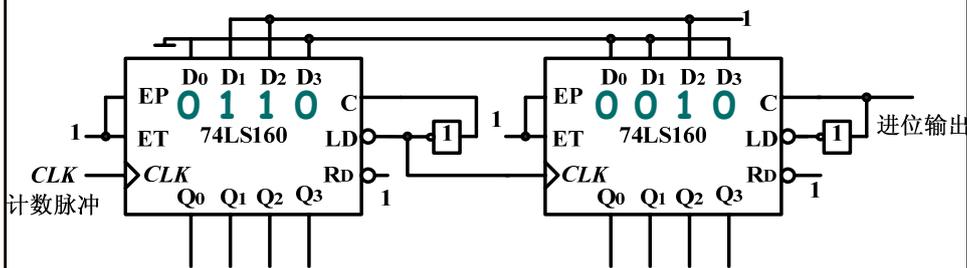


图6.3.31 串行进位方式实现24进制加法计数器

6.3.2 计数器



例6.3.7 试利用并行进位方式由74LS161构成32进制加法计数器。

解：可将32分成 16×2 （或 8×4 ），则电路如图6.3.32所示。

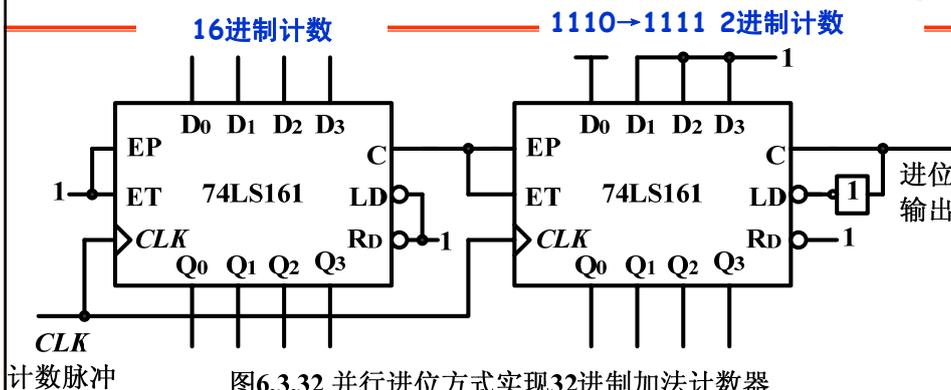


图6.3.32 并行进位方式实现32进制加法计数器

6.3.2 计数器



b.若要实现的M进制（如31进制）不可分解成两个小于N的因数相乘，则要采用整体置零法或整体置数法构成

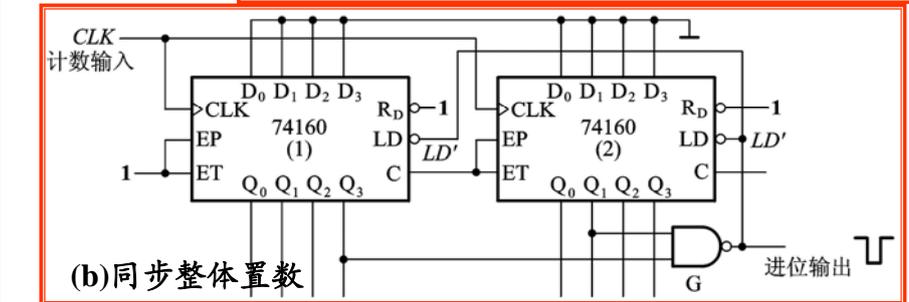
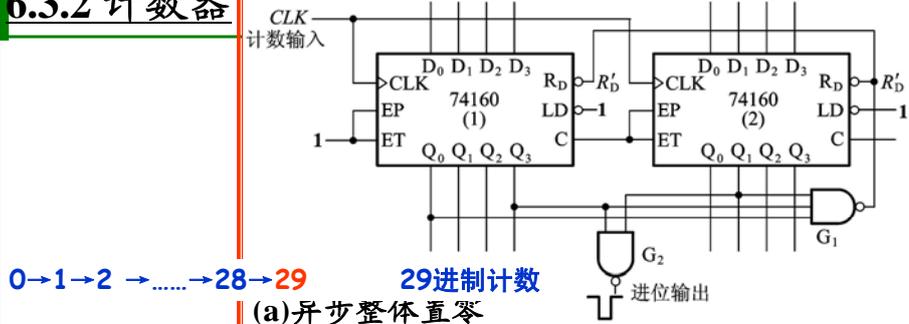
(2)整体置零方式和整体置数方式

首先将两片N进制计数器按串行进位方式或并行进位方式联成 $N \times N > M$ 进制计数器，再按照 $N < M$ 的置零法和置数法构成M进制计数器。此方法适合任何M进制（可分解和不可分解）计数器的构成。

例6.3.8 利用74LS160接成29进制计数器。

解：采用整体置零法的实现电路如图6.3.33(a)所示，采用整体置数法的实现电路如图6.3.33(b)所示

6.3.2 计数器



6.3.2 计数器



例5.3.7 试利用置零法和置数法由两片74LS161构成53进制加法计数器。

解：若由74LS161构成53进制计数器，其构成的256进制实际为二进制计数器，故先要将53化成二进制数码，再根据整体置数法或整体置零法实现53进制。

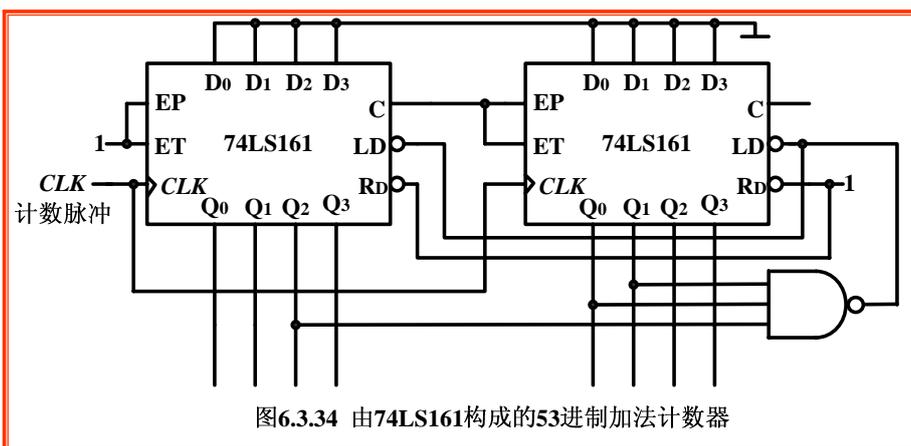
$$(53)_D = (110101)_B$$

利用整体置数法由74LS161构成53进制加法计数器如图6.3.34所示。

6.3.2 计数器



$$(52)_D = (00110100)_B$$

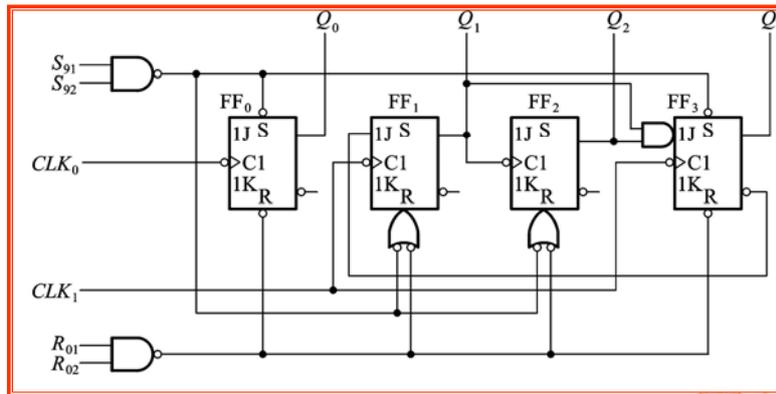


0→1→2 →52 53进制计数

6.3.2 计数器

例6.3.8 试用一片74LS290分别接成8421异步十进制计数器、5421异步十进制计数器和异步六进制计数器。

解：(1)8421异步十进制计数器：将 CLK_1 和 Q_0 相接，计数脉冲由 CLK_0 输入，从由 $Q_3Q_2Q_1Q_0$ 输出，即为8421异步十进制计数器。



27

6.3.2 计数器

图6.3.35就是其连接电路及状态表。

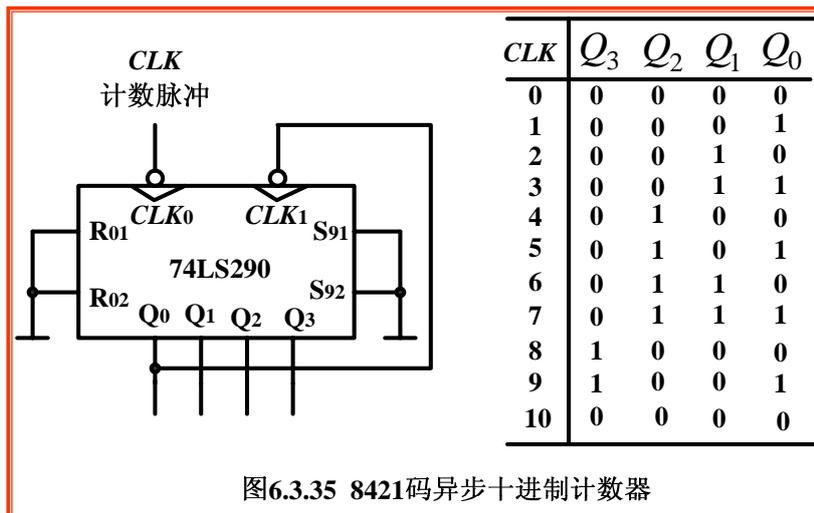


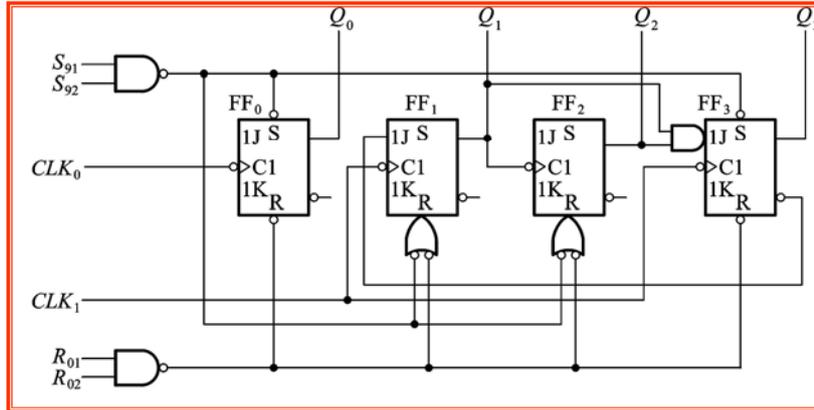
图6.3.35 8421码异步十进制计数器

28

6.3.2 计数器



(2) 5421码异步十进制计数器 (5 × 2)



将 Q_3 与 CLK_0 相接，计数脉冲由 CLK_1 输入，从 $Q_0Q_3Q_2Q_1$ 输出则为5421码十进制计数器，

6.3.2 计数器



其实现电路与状态表如图6.3.36所示。

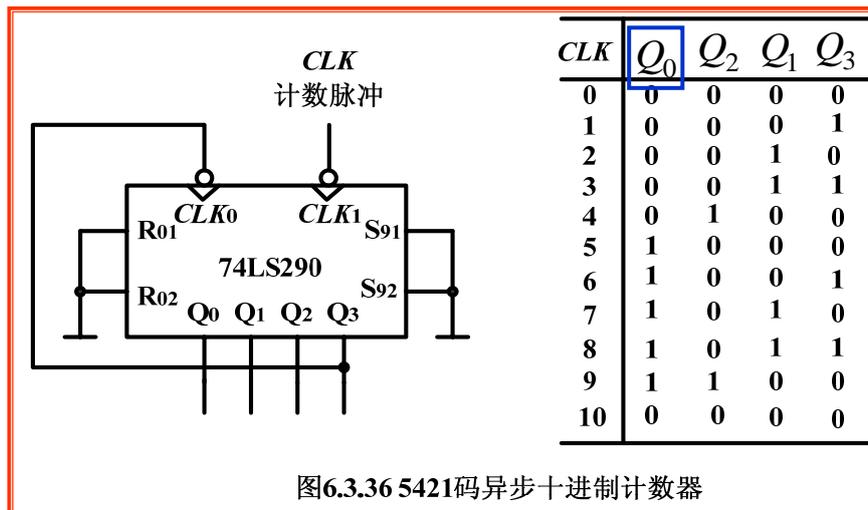
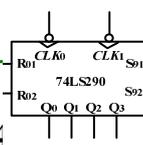


图6.3.36 5421码异步十进制计数器

(3) 异步6进制计数器:

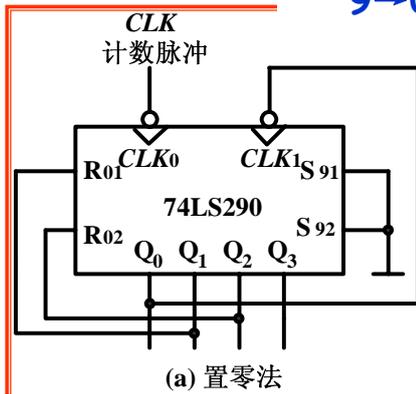
先将74LS290构成8421
置零端和置九端构成异步
如图6.3.37所示。



CLK0	CLK1	R01 • R02	S91 • S92	Q3 Q2 Q1 Q0	说明
x	x	1	0	0 0 0 0	置零
x	x	0	1	1 0 0 1	置九
1	x	0	0		二进制计数器 从Q0输出
x	1	0	0		五进制计数器 从Q2、Q1 输出
1	1	0	0		十进制计数器 从Q3、Q2、Q1、Q0 输出

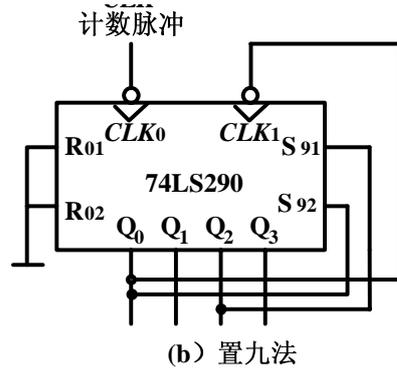
(a) 逻辑符号 (b) 功能表
图6.3.21 异步计数器74LS290的逻辑符号和功能表

9 → 0 → 1 → 2 → 3 → 4 → 5 6进制计数



(a) 置零法

0 → 1 → 2 → 3 → 4 → 5 → 6



(b) 置九法

6进制计数

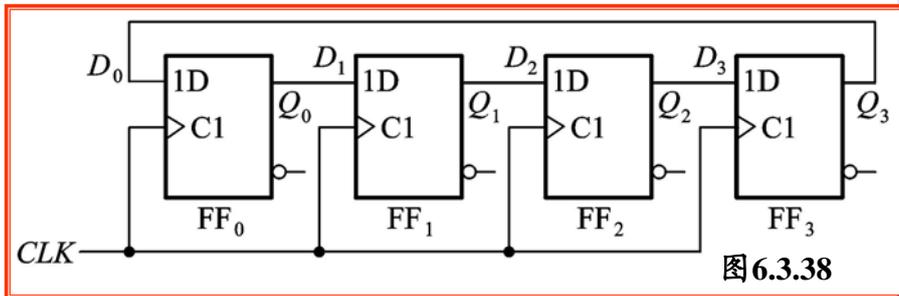
6.3.2 计数器



四、移位寄存器型计数器

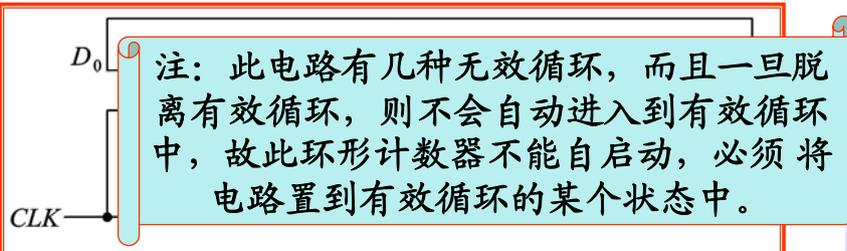
1. 环形计数器

电路如图6.3.38所示，将移位寄存器首尾相接，则在时钟脉冲信号作用下，数据将循环右移。

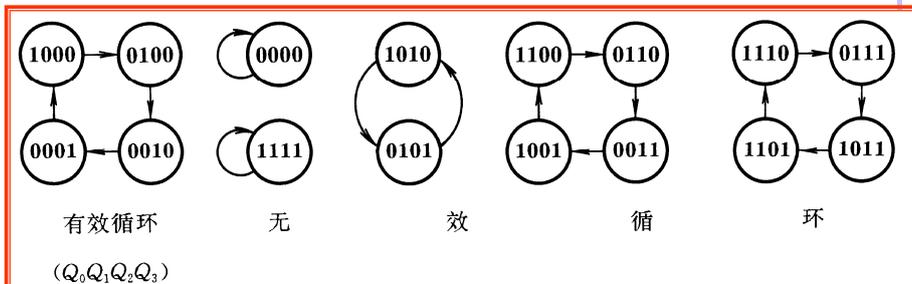


1

6.3.2 计数器



设初态为1000，则其状态转换图为

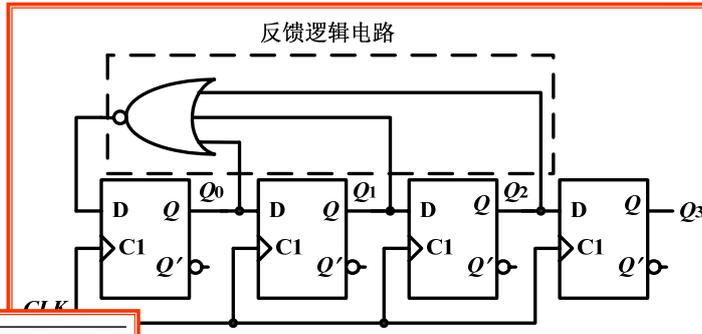


2



6.3.2 计数器

图5.3.39为能自启动的环形计数器的电路,与图6.3.38所示电路相比,加了一个反馈逻辑电路。



其状态方程为

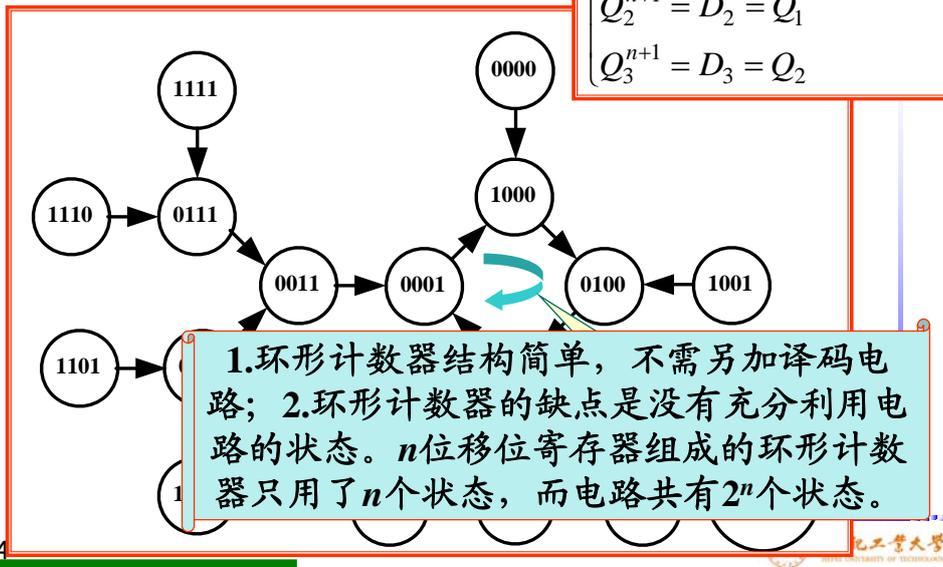
$$\begin{cases} Q_0^{n+1} = D_0 = \overline{Q_0} + Q_1 + Q_2 \\ Q_1^{n+1} = D_1 = Q_0 \\ Q_2^{n+1} = D_2 = Q_1 \\ Q_3^{n+1} = D_3 = Q_2 \end{cases}$$

图6.3.39 能自启动的环形计数器电路



6.3.2 计数器

则可画出它的状态转换图为



$$\begin{cases} Q_0^{n+1} = D_0 = \overline{Q_0} + Q_1 + Q_2 \\ Q_1^{n+1} = D_1 = Q_0 \\ Q_2^{n+1} = D_2 = Q_1 \\ Q_3^{n+1} = D_3 = Q_2 \end{cases}$$

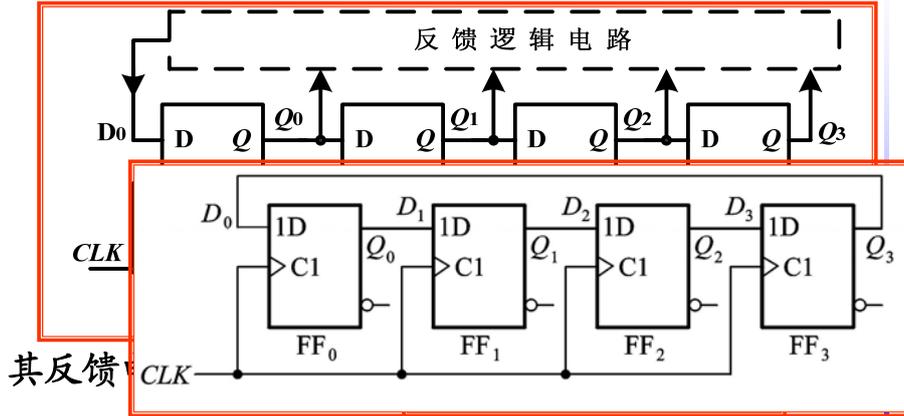
1. 环形计数器结构简单, 不需另加译码电路; 2. 环形计数器的缺点是没有充分利用电路的状态。n位移位寄存器组成的环形计数器只用了n个状态, 而电路共有 2^n 个状态。



6.3.2 计数器

2. 扭环形计数器

移位寄存器型计数器的结构可表示为图6.3.40所示的框图形式。



环形计数器是反馈函数中最简单的一种，其 $D_0=Q_{n-1}$

6.3.2 计数器

图6.3.41为环扭形计数器（也叫**约翰逊计数器**），其 $D_0=Q_3'$

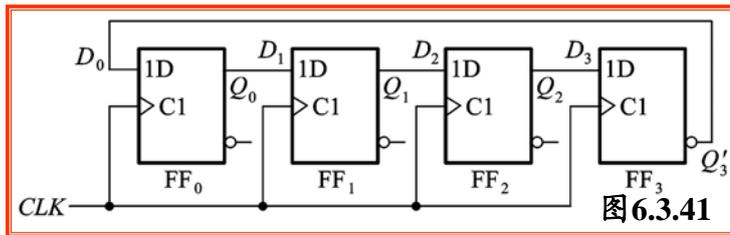
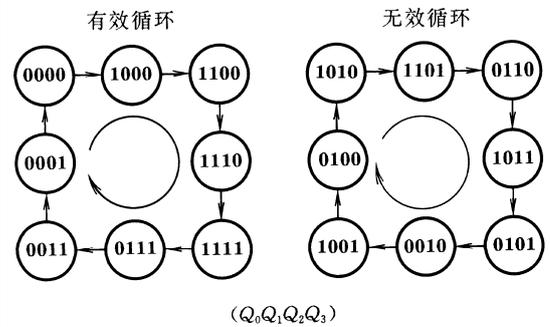


图6.3.41

其状态转换图为

此电路不能自启动!!!



6.3.2 计数器



为了实现自启动，则将电路修改成图6.3.42所示电路。

$$\text{其中 } D_0 = ((Q_1 Q_2)') \cdot Q_3'$$

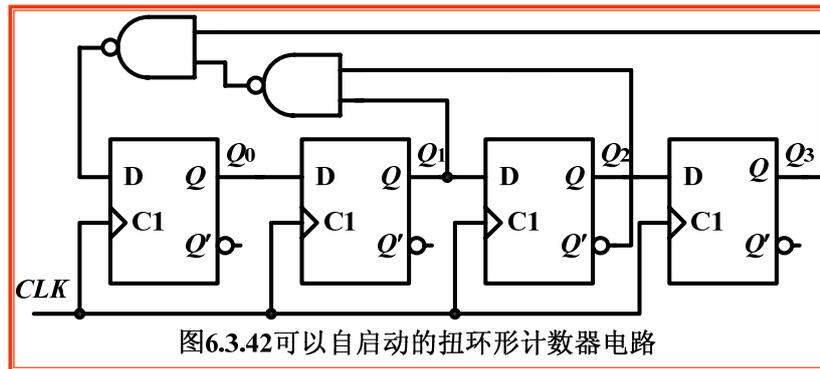


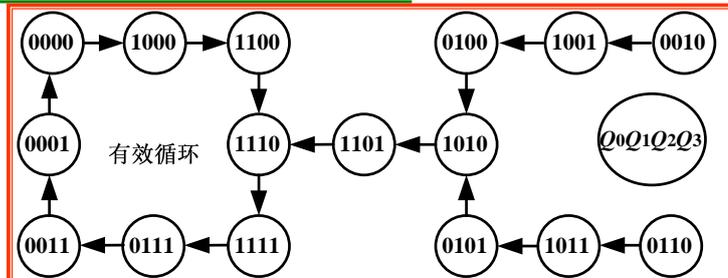
图6.3.42可以自启动的扭环形计数器电路

7

6.3.2 计数器



其状态
转换表
为



扭环型计数器的特点

- n 位移位寄存器构成的扭环型计数器的有效循环状态为 $2n$ 个，比环形计数器提高了一倍；
- 在有效循环状态中，每次转换状态只有一个触发器改变状态，这样在将电路状态译码时不会出现竞争-冒险现象；
- 虽然扭环型计数器的电路状态的利用率有所提高，但仍有 $2^n - 2n$ 个状态没有利用。

8



6.3.3* 顺序脉冲发生器

在一些数字系统中，有时需要系统按照事先规定的顺序进行一系列的操作，这就要求系统的控制部分能给出的一组在时间上有一定先后顺序的脉冲信号，能产生这种信号的电路就是顺序脉冲发生器。

1. 由移位寄存器构成：

可以由移位寄存器构成环形计数器，它就是一个顺序脉冲发生器。

电路和波形如图6.3.43所示

6.3.3* 顺序脉冲发生器(计数器的应用)

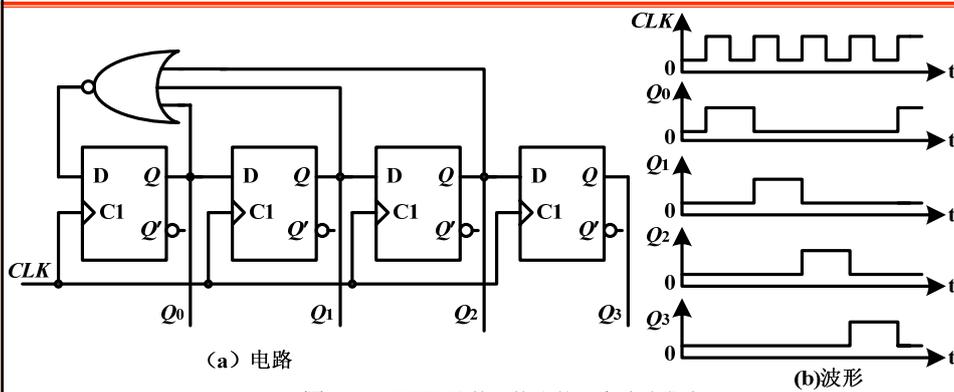


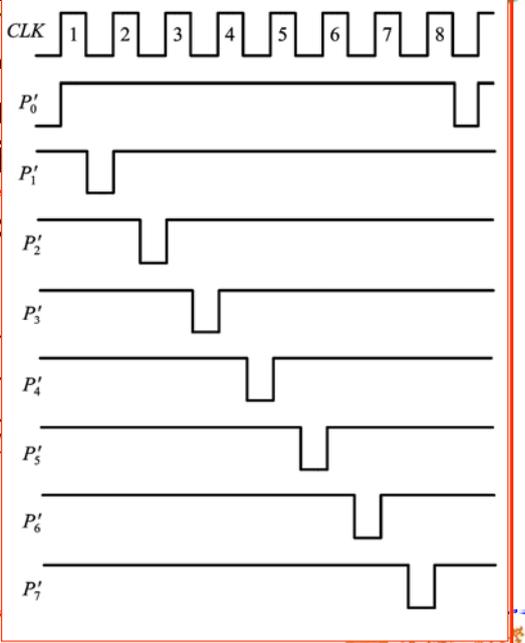
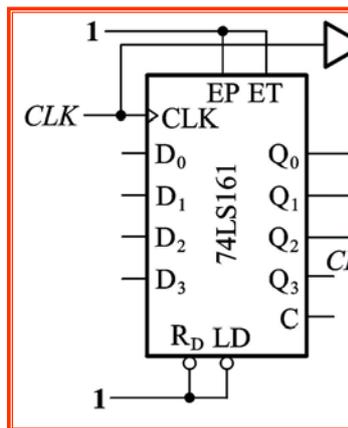
图6.3.43 用环形计数器构成的顺序脉冲发生器

注：此电路的特点是结构简单，不需译码电路，缺点是所用触发器的数目比较多，而且需采用自启动反馈逻辑电路。

6.3.3* 顺序脉冲发生器(计数器的应用)

2. 由计数器和译码器构成

图6.3.44为由74LS161译码器构成的顺序节拍脉冲



11 输出波形如图所示

6.3.4* 序列信号发生器(计数器的应用)

在数字信号的传输和数字系统的测试中，有时需要用到一组特定的串行数字信号，这样的信号称为序列信号，产生序列信号的电路称为序列信号发生器。

构成序列信号发生器的方法很多，现介绍两种

1. 由计数器和数据选择器构成

此电路比较简单和直观，若产生一个8位序列信号为00010111(时间顺序为自左向右)，则可用一个8进制的计数器和一个8选1数据选择器来实现，

6.3.4* 序列信号发生器(计数器的应用)



其电路及状态转换表如图6.3.45所示。

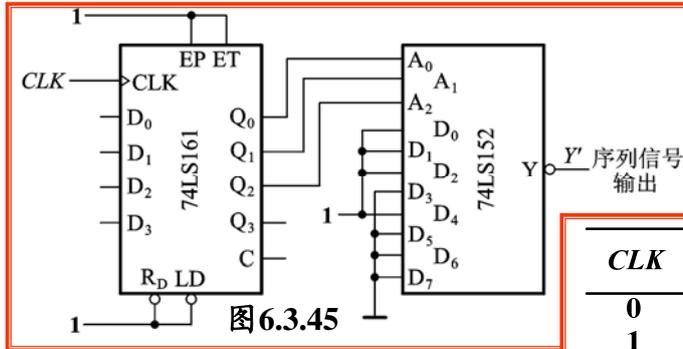


图6.3.45

CLK	Q_2 A_2	Q_1 A_1	Q_0 A_0	Y'
0	0	0	0	$D'0(0)$
1	0	0	1	$D'1(0)$
2	0	1	0	$D'2(0)$
3	0	1	1	$D'3(1)$
4	1	0	0	$D'4(0)$
5	1	0	1	$D'5(1)$
6	1	1	0	$D'6(1)$
7	1	1	1	$D'7(1)$
8	0	0	0	$D'0(0)$



6.4 时序逻辑电路的设计方法

6.4.1 同步时序逻辑电路的设计方法

设计的一般步骤

一、逻辑抽象，求出状态转换图或状态转换表

1. 确定输入/输出变量、电路状态数。
2. 定义输入/输出逻辑状态以及每个电路状态的含意，并对电路状态进行编号。
3. 按设计要求列出状态转换表，或画出状态转换图。

二、状态化简

若两个状态在相同的输入下有相同的输出，并转换到同一个次态，则称为等价状态；等价状态可以合并。



三、状态分配（编码）

1. 确定触发器数目。
2. 给每个状态规定一个代码。

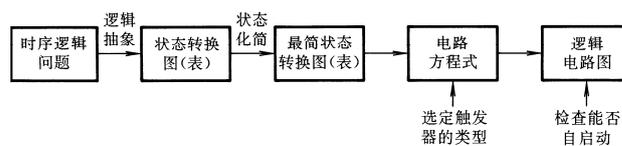
（通常编码的取法、排列顺序都依照一定的规律）

四、选定触发器类型

求出状态方程，驱动方程，输出方程。

五、画出逻辑图

六、检查自启动



6.4.1 同步时序逻辑电路的设计方法

例6.4.1 试设计一个带有进位输出端的十三进制计数器。

解：①确定输入输出变量：由于电路没有输入变量，故属于穆尔型同步时序电路。设进位输出信号为C，有进位输出为C=1，无进位输出时C=0。

②给出状态转换图：根据题意， $M=13$ ，其状态转换图如图6.4.2所示。

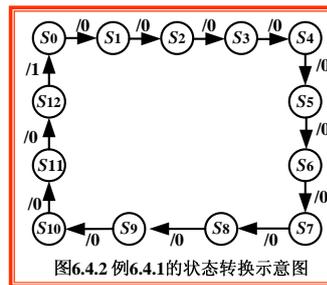


图6.4.2 例6.4.1的状态转换示意图

6.4.1 同步时序逻辑电路的设计方法

③给出状态表：由于 $M=13$ ，故应取 $n=4$ ，取其中的13个状态，不能再简化。按十进制数取0000~1100十三个状态，其状态表为

状态 变化顺序	状态编码				进位 输出	等效十 进制数
	Q_3	Q_2	Q_1	Q_0	C	
S0	0	0	0	0	0	0
S1	0	0	0	1	0	1
S2	0	0	1	0	0	2
S3	0	0	1	1	0	3
S4	0	1	0	0	0	4
S5	0	1	0	1	0	5
S6	0	1	1	0	0	6
S7	0	1	1	1	0	7
S8	1	0	0	0	0	8
S9	1	0	0	1	0	9
S10	1	0	1	0	0	10
S11	1	0	1	1	0	11
S12	1	1	0	0	1	12
S0	0	0	0	0	0	0

6.4.1 同步时序逻辑电路的设计方法

④写出输出端的状态方程:

根据状态表得出其各输出次态的卡诺图如下

状态 变化顺序	状态编码				进位 输出 C	等效十 进制数
	Q_3	Q_2	Q_1	Q_0		
S0	0	0	0	0	0	0
S1	0	0	0	1	0	1
S2	0	0	1	0	0	2
S3	0	0	1	1	0	3
S4	0	1	0	0	0	4
S5	0	1	0	1	0	5
S6	0	1	1	0	0	6
S7	0	1	1	1	0	7
S8	1	0	0	0	0	8
S9	1	0	0	1	0	9
S10	1	0	1	0	0	10
S11	1	0	1	1	0	11
S12	1	1	0	0	1	12
S0	0	0	0	0	0	0

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0

$Q_3^*Q_2^*Q_1^*Q_0^*/C$

6.4.1 同步时序逻辑电路的设计方法

各输出端的卡诺图及状态方程如下

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0

$Q_3^*Q_2^*Q_1^*Q_0^*/C$

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0	0	0	0
	01	0	0	1	0
	11	0	x	x	x
	10	1	1	1	1

Q_3^*

$$Q_3^* = Q_2'Q_3 + Q_2Q_1Q_0$$

6.4.1 同步时序逻辑电路的设计方法

Q_1Q_0		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0

$Q_3^*Q_2^*Q_1^*Q_0^*/C$

Q_1Q_0		00	01	11	10
Q_3Q_2	00	0	0	0	0
	01	0	1	0	1
	11	0	x	x	x
	10	0	0	0	0

Q_2^*

$$Q_2^* = Q_2'Q_1Q_0 + Q_3'Q_2Q_1' + Q_3'Q_2Q_0'$$

7

6.4.1 同步时序逻辑电路的设计方法

Q_1Q_0		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0

$Q_3^*Q_2^*Q_1^*Q_0^*/C$

Q_1Q_0		00	01	11	10
Q_3Q_2	00	0	1	0	1
	01	0	1	0	1
	11	0	x	x	x
	10	0	1	0	1

Q_1^*

$$Q_1^* = Q_1Q_0' + Q_1'Q_0$$

8

6.4.1 同步时序逻辑电路的设计方法

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0
		$Q_3^*Q_2^*Q_1^*Q_0^*/C$			

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	1	0	0	1
	01	1	0	0	1
	11	0	x	x	x
	10	1	0	0	1
		Q_0^*			

$$Q_0^* = Q_3'Q_0' + Q_2'Q_0'$$

6.4.1 同步时序逻辑电路的设计方法

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0001/0	0010/0	0100/0	0011/0
	01	0101/0	0110/0	1000/0	0111/0
	11	0000/1	xxxx/x	xxxx/x	xxxx/x
	10	1001/0	1010/0	1100/0	1011/0
		$Q_3^*Q_2^*Q_1^*Q_0^*/C$			

		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	0	0	0	0
	01	0	0	0	0
	11	1	x	x	x
	10	0	0	0	0
		C			

$$C = Q_3Q_2$$

6.4.1 同步时序逻辑电路的设计方法

则可写出电路的状态方程和输出方程为

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_3' Q_2 Q_1' + Q_3' Q_2 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_2' Q_0' \\ C = Q_3 Q_2 \end{cases}$$

若选用JK触发器，则由于其特性方程为

$$Q^* = JQ' + K'Q$$

6.4.1 同步时序逻辑电路的设计方法

把状态方程化为JK触发器特性方程的标准形式：

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 Q_0 (Q_3' + Q_3) \\ \quad = (Q_2 Q_1 Q_0) Q_3' + Q_2' Q_3 \\ Q_2^* = Q_3' Q_2 Q_1' + Q_3' Q_2 Q_0' + Q_2' Q_1 Q_0 \\ \quad = (Q_0 Q_1) Q_2' + Q_3' (Q_1 Q_0)' \cdot Q_2 \\ Q_1^* = Q_1' Q_0 + Q_1 Q_0' = Q_0 Q_1' + Q_0' Q_1 \\ Q_0^* = Q_3' Q_0' + Q_2' Q_0' = (Q_3 Q_2)' \cdot Q_0' + 1 \cdot Q_0' \end{cases}$$

注：在 Q_3^* 中去除了 $Q_3 Q_2 Q_1 Q_0$

因为 $Q_3 Q_2 Q_1 Q_0$ 是无关项

得出各触发器的驱动方程为

$$\begin{cases} J_3 = Q_2 Q_1 Q_0 & K_3 = Q_2 \\ J_2 = Q_1 Q_0 & K_2 = (Q_3' (Q_1 Q_0))' \\ J_1 = Q_0 & K_1 = Q_0 \\ J_0 = (Q_3 Q_2)' & K_0 = 1 \end{cases}$$

6.4.1 同步时序逻辑电路的设计方法

由驱动方程可画出十三进制计数器的逻辑电路，如图所示

$$\begin{cases} J_3 = Q_2 Q_1 Q_0 & K_3 = Q_2 \\ J_2 = Q_1 Q_0 & K_2 = (Q_3' (Q_1 Q_0)')' \\ J_1 = Q_0 & K_1 = Q_0 \\ J_0 = (Q_3 Q_2)' & K_0 = 1 \end{cases}$$

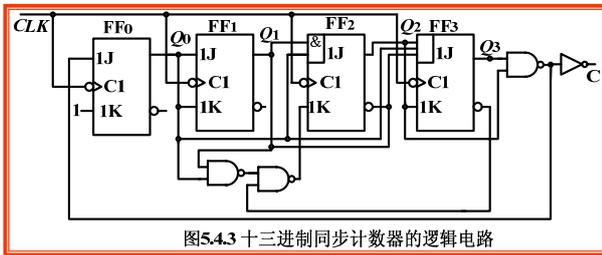
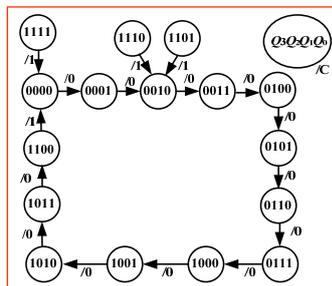


图5.4.3 十三进制同步计数器的逻辑电路

6.4.1 同步时序逻辑电路的设计方法

⑤最后，检查能否自启动：全部状态转换图如下



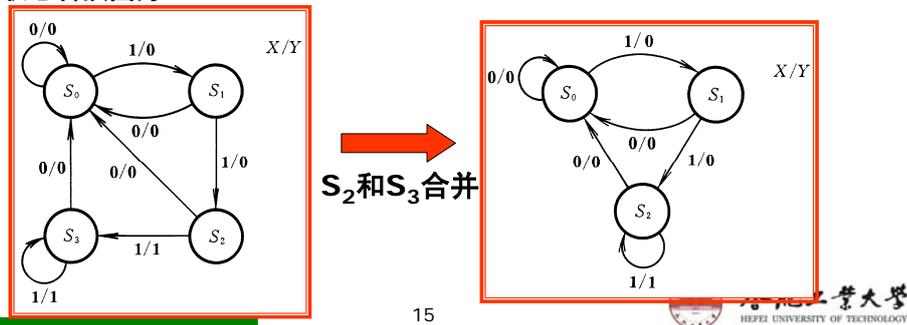
故电路可以自启动。

6.4.1 同步时序逻辑电路的设计方法

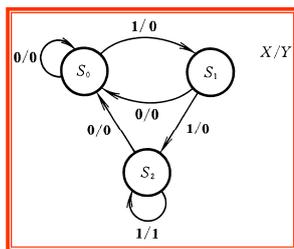
例6.4.2 设计一个串行数据检测器。要求：连续输入3个或3个以上的1时输出为1，其它情况下输出为0。

解：设输入数据为输入变量，用X表示；检测结果为输出变量，用Y表示，设 S_0 为没有1输入的以前状态， S_1 为输入一个1以后的状态， S_2 为输入两个1以后的状态， S_3 为连续输入3个或3个以上1的状态。其状态转换表为

状态转换图为



6.4.1 同步时序逻辑电路的设计方法



由于电路的状态为3个，故 $M=3$ ，应取触发器的数目为 $n=2$ 。取00、01和10分别对应 S_0 、 S_1 和 S_2 ，若选定的触发器为JK触发器，则其输出端的卡诺图为

		$Q_1^* Q_0^* / Y$			
		00	01	11	10
X	0	00/0	00/0	××/×	00/0
	1	01/0	10/0	××/×	10/1

6.4.1 同步时序逻辑电路的设计方法

		$Q_1^* Q_0^* / Y$			
X	$Q_1 Q_0$	00	01	11	10
0		00/0	00/0	××/×	00/0
1		01/0	10/0	××/×	10/1

化简后电路的状态方程为

$$\begin{cases} Q_1^* = XQ_0 + XQ_1 \\ Q_0^{n+1} = X\bar{Q}_1\bar{Q}_0 \end{cases}$$

输出方程为

$$Y = XQ_1$$

分开的卡诺图为：

X	$Q_1 Q_0$	00	01	11	10
0		0	0	×	0
1		0	1	×	1

(a) Q_1^*

X	$Q_1 Q_0$	00	01	11	10
0		0	0	×	0
1		1	0	×	0

(b) Q_0^*

X	$Q_1 Q_0$	00	01	11	10
0		0	0	×	0
1		0	0	×	1

(c) Y

6.4.1 同步时序逻辑电路的设计方法

若采用JK触发器，则其特性方程为 $Q^* = JQ' + K'Q$

将化简后的状态方程化为JK触发器的特性方程形式，即

$$\begin{cases} Q_1^* = XQ_0 + XQ_1 = XQ_0(Q_1' + Q_1) + XQ_1 \\ \quad = XQ_0 \cdot Q_1' + X \cdot Q_1 \\ Q_0^* = XQ_1'Q_0' = XQ_1' \cdot Q_0' + 1' \cdot Q_0 \end{cases}$$

可得驱动方程为

$$\begin{cases} J_1 = XQ_0 & K_1 = X' \\ J_0 = XQ_1' & K_0 = 1 \end{cases}$$

6.4.1 同步时序逻辑电路的设计方法

其对应的逻辑电路如图6.4.4所示

$$\begin{cases} J_1 = XQ_0 & K_1 = X' \\ J_0 = XQ_1' & K_0 = 1 \end{cases} \quad Y = XQ_1$$

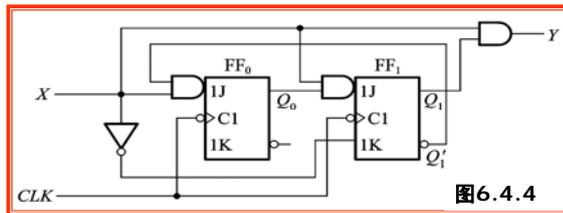


图6.4.4

6.4.1 同步时序逻辑电路的设计方法

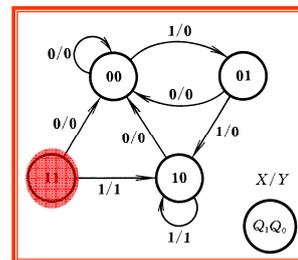
其全部状态转换图为

$$\begin{cases} Q_1^* = XQ_0 + XQ_1 \\ Q_0^{n+1} = X\bar{Q}_1\bar{Q}_0 \end{cases}$$

$$Y = XQ_1$$

将状态“11”代入状态方程和输出方程，分别求X=0/1下的次态和现态下的输出，得到：

$$\begin{cases} X = 0 \text{ 时, } Q_1^* Q_0^* = 00, Y = 0 \\ X = 1 \text{ 时, } Q_1^* Q_0^* = 10, Y = 1 \end{cases}$$



由状态转换图可知，此电路可以自启动。由于电路有输入信号，故为米利型时序逻辑电路。

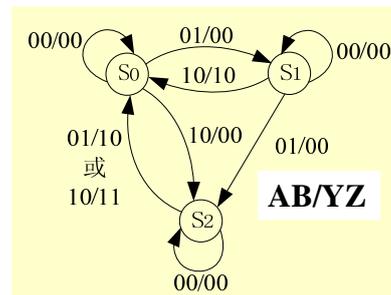
例5.4.3 设计一个自动售货饮料机的逻辑电路。它的投币口每次只能投入一枚五角或一元的硬币。投入一元五角钱硬币后机器自动给出一杯饮料；投入两元（两枚一元）硬币后，在给出饮料的同时找回一枚五角角的硬币。

解：设投币信号为输入变量A和B，投入一枚一元硬币时为A=1.否则为A=0;投入一枚五角硬币时为B=1,否则为B=0；输出为Y和Z，给出饮料为Y=1,否则为Y=0;找回一枚五角硬币时为Z=1,否则为Z=0.

设 S_0 为未投币电路的初始状态， S_1 为投入五角硬币后的状态， S_2 为投入一元硬币（包括一枚一元硬币和两枚五角硬币）后的状态。

则其状态转换表为

S^{n+1} / YZ	AB			
S_i	00	01	11	10
S_0	$S_0/00$	$S_0/00$	$\times/\times\times$	$S_0/00$
S_1	$S_1/00$	$S_2/00$	$\times/\times\times$	$S_0/10$
S_2	$S_2/00$	$S_0/10$	$\times/\times\times$	$S_0/11$



对应的状态转换图为

注：由于实际中不可能同时投入一枚一元硬币和五角硬币，故 $AB=11$ 的情况不出现，做约束项处理。

则电路的次态/输出的卡诺图
图为

		AB			
		00	01	11	10
$Q_1^n Q_0^n$	00	00/00	01/00	××/××	10/00
	01	01/00	10/00	××/××	00/01
	11	××/××	××/××	××/××	××/××
	10	10/00	00/10	××/××	00/11

$Q_1^{n+1} Q_0^{n+1} / YZ$

分解成触发器输出状态和
输出端的卡诺图为

$Q_1^n Q_0^n$		AB			
		00	01	11	10
	00	0	0	×	1
	01	0	1	×	0
	11	×	×	×	×
	10	1	0	×	0

Q_1^{n+1}

$Q_1^n Q_0^n$		AB			
		00	01	11	10
	00	0	1	×	0
	01	1	0	×	0
	11	×	×	×	×
	10	0	0	×	0

Q_0^{n+1}

$Q_1^n Q_0^n$		AB			
		00	01	11	10
	00	0	0	×	0
	01	0	0	×	1
	11	×	×	×	×
	10	0	1	×	1

Y

$Q_1^n Q_0^n$		AB			
		00	01	11	10
	00	0	0	×	0
	01	0	0	×	0
	11	×	×	×	×
	10	0	0	×	1

Z

若选用D触发器，则电路的状态方程为

$$\begin{cases} Q_1^{n+1} = Q_1 \bar{A} \bar{B} + Q_0 B + \bar{Q}_1 \bar{Q}_0 A \\ Q_0^{n+1} = Q_0 \bar{A} \bar{B} + \bar{Q}_1 \bar{Q}_0 B \end{cases}$$

驱动方程为

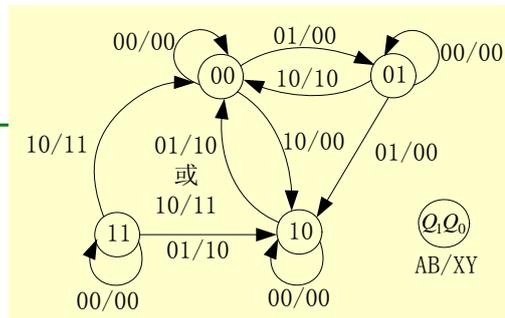
$$\begin{cases} D_1 = Q_1^{n+1} = Q_1 \bar{A} \bar{B} + Q_0 B + \bar{Q}_1 \bar{Q}_0 A \\ D_0 = Q_0^{n+1} = Q_0 \bar{A} \bar{B} + \bar{Q}_1 \bar{Q}_0 B \end{cases}$$

输出方程为

$$\begin{cases} Y = Q_1 B + Q_1 A + Q_0 A \\ Z = Q_1 A \end{cases}$$

根据驱动方程和输出方程可画出实现的逻辑电路，如书325页的图6.4.17所示。

电路的状态转换图为



注：当电路进入到无效状态11时，不能自动进入有效循环，故此电路不能自启动。另外对于AB=01或AB=10虽然能进入到有效循环中，但收费结果是错的。故电路开始工作时应该加入异步置零端 R_D' ，将电路置为00状态。

* 6.4.2 时序逻辑电路的自启动设计

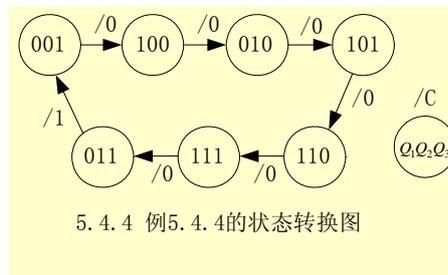
前一节的时序电路设计中，电路的自启动检查是在最后一步进行的，如果不能自启动，还要返回来从新修改设计。如果在设计过程中能够考虑自启动的问题，就可以省略检查自启动这一步骤了。

例5.4.4 设计七进制计数器，要求它能够自启动。已知该计数器的状态转换图及状态编码如图5.4.4所示。

解：由所给的状态图得出电路次态的卡诺图为

Q_3^n	Q_2^n	00	01	11	10	
0	×	×	×	100	001	101
1	010	110	011	111		

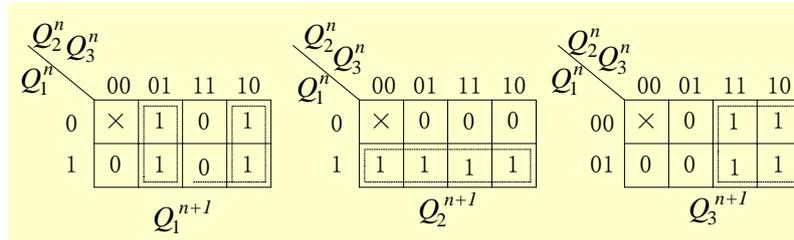
$Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$



5.4.4 例5.4.4的状态转换图



各个输出端的卡诺图为



则输出端的状态方程为

$$\begin{cases} Q_1^{n+1} = \bar{Q}_2 Q_3 + Q_2 \bar{Q}_3 = Q_2 \oplus Q_3 \\ Q_2^{n+1} = Q_1 \\ Q_3^{n+1} = Q_2 \end{cases}$$

由于进位信号是在011状态译出，故输出方程为 $C = \bar{Q}_1 Q_2 Q_3$

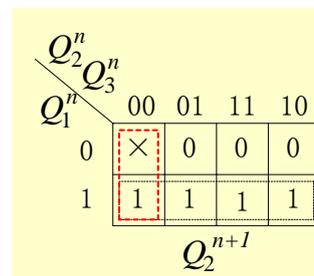


在上述合并1中，如果将×项圈入，则当作1处理；否则作0处理。这就是无形中给无效状态(×)指定了次态。如果想电路自启动，必须是无效状态的次态应改为有效状态。

前面所得的电路状态方程都是没包含×，也就是将它取成000，仍是无效状态，电路则不会自启动。如果将×××取成有效状态010，表示000的次态是010，则电路就会自启动。

那么电路的状态方程改为

$$\begin{cases} Q_1^{n+1} = \bar{Q}_2 Q_3 + Q_2 \bar{Q}_3 = Q_2 \oplus Q_3 \\ Q_2^{n+1} = Q_1 + \bar{Q}_2 \bar{Q}_3 \\ Q_3^{n+1} = Q_2 \end{cases}$$



若由JK触发器构成，则应将上述状态方程改写成JK触发器特性方程的标准形式，即

$$\begin{cases} Q_1^{n+1} = \bar{Q}_2 Q_3 + Q_2 \bar{Q}_3 = Q_2 \oplus Q_3 = Q_2 \oplus Q_3 (\bar{Q}_1 + Q_1) \\ \quad = Q_2 \oplus Q_3 \cdot \bar{Q}_1 + Q_2 \oplus Q_3 \cdot Q_1 \\ Q_2^{n+1} = Q_1 + \bar{Q}_2 \bar{Q}_3 = Q_1 (\bar{Q}_2 + Q_2) + \bar{Q}_2 \bar{Q}_3 = (Q_1 + \bar{Q}_3) \bar{Q}_2 + Q_1 Q_2 \\ Q_3^{n+1} = Q_2 (\bar{Q}_3 + Q_3) = Q_2 \bar{Q}_3 + Q_2 Q_3 \end{cases}$$

则驱动方程为

$$\begin{cases} J_1 = Q_2 \oplus Q_3 & K_1 = \bar{Q}_2 \oplus \bar{Q}_3 \\ J_2 = Q_1 + \bar{Q}_3 = \bar{Q}_1 \bar{Q}_3 & K_2 = \bar{Q}_1 \\ J_3 = Q_2 & K_3 = \bar{Q}_2 \end{cases}$$

根据驱动方程和输出方程可画出七进制计数器的逻辑电路如图 5.4.5 所示。


合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY


电子科
School of EI

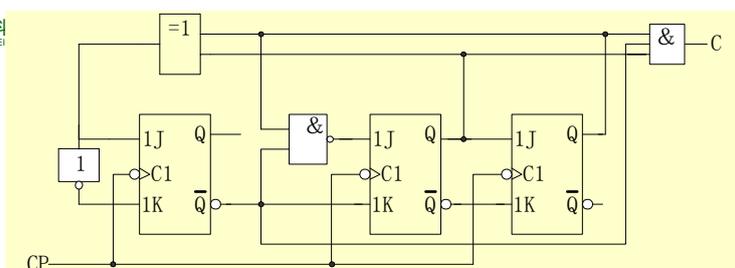
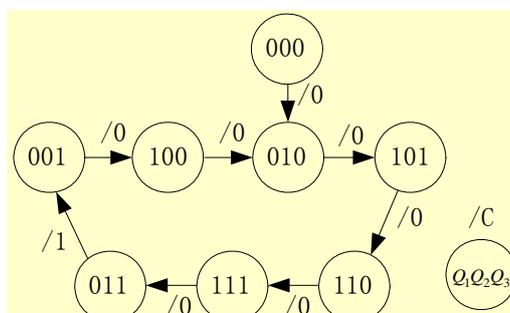


图 5.4.5 例 5.4.4 的逻辑电路图

它的状态转换图为
故电路可以自启动。

注：修改输出端逻辑式时，也可以修改其它两端，这视得到的状态方程最简而定。



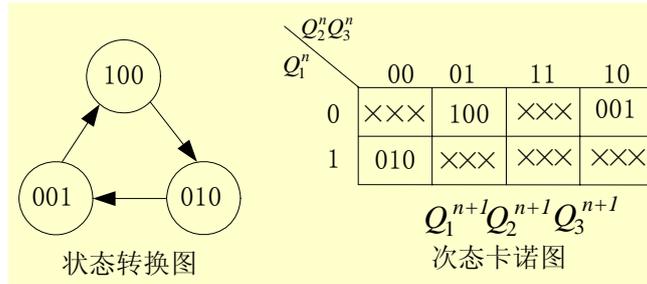

合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY



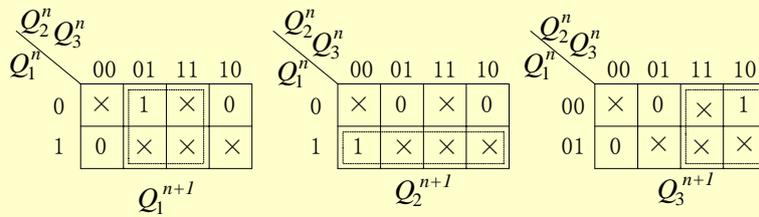
注意：在无效状态不止一个的情况下，为保证电路能够自启动，必须使每个无效状态都能直接或间接地转为某一有效状态。

例5.4.5 设计一个能自启动的3位环形计数器。要求它的有效循环状态为100→010→001→100。

解：根据题目要求可得电路的状态转换图和电路次态的卡诺图为



分解卡诺图，得出各输出端的卡诺图为

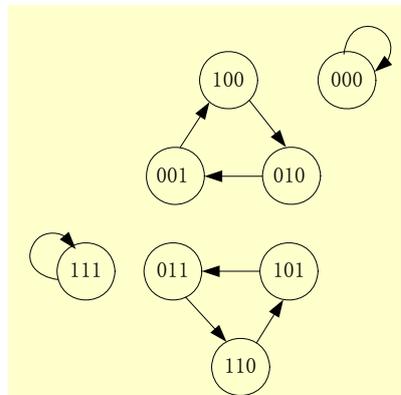


则最简的电路状态方程为

$$\begin{cases} Q_1^{n+1} = Q_3 \\ Q_2^{n+1} = Q_1 \\ Q_3^{n+1} = Q_2 \end{cases}$$

按照上式得到的状态转换图为

显然按照上面的状态方程设计的电路是不能自启动的。



由下面的状态表可以看出

		$Q_2^n Q_3^n$			
		00	01	11	10
Q_1^n	0	×	1	×	0
	1	0	×	×	×
		Q_1^{n+1}			

		$Q_2^n Q_3^n$			
		00	01	11	10
Q_1^n	0	×	0	×	0
	1	1	×	×	×
		Q_2^{n+1}			

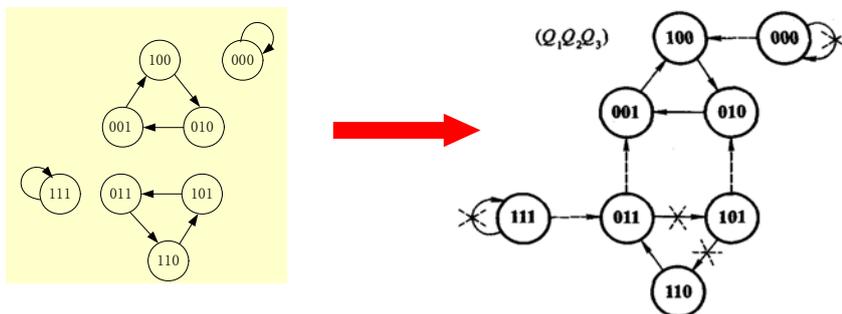
		$Q_2^n Q_3^n$			
		00	01	11	10
Q_1^n	00	×	0	×	1
	01	0	×	×	×
		Q_3^{n+1}			

在化简状态方程的同时，每个无效的次态已经确定了，其卡诺图变成：

		$Q_2^n Q_3^n$			
		00	01	11	10
Q_1^n	0	000	100	101	001
	1	010	110	111	011
		$Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$			

应该修改状态方程，以实现自启动

为了保持移位寄存器内部结构不变，应只修改第一位触发器的输入，故通过修改每个无效的 Q_1 的次态，使它们的次态进入到有效状态。



		$Q_2 Q_3$			
		00	01	11	10
Q_1	0	1 0 0	1 0 0	0 0 1	0 0 1
	1	0 1 0	0 1 0	0 1 1	0 1 1



应该修改状态方程，以实现自启动

为了保持移位寄存器内部结构不变，应只修改第一位触发器的输入，故通过修改每个无效的 Q_1 的次态，使它们的次态进入到有效状态。

Q_1^{n+1} 的卡诺图修改为

		$Q_2^n Q_3^n$			
		00	01	11	10
Q_1^n	0	1	1	×	0
	1	0	×	×	×
		Q_1^{n+1}			

则电路的次态的卡诺图变为

		$Q_2 Q_3$			
		00	01	11	10
Q_1	0	1 0 0	1 0 0	0 0 1	0 0 1
	1	0 1 0	0 1 0	0 1 1	0 1 1

35



合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY



电子科学与应用物理学院
School of Electronic Science & Applied Physics

修改后电路的状态方程为

$$\begin{cases} Q_1^{n+1} = \overline{Q_1} \overline{Q_2} \\ Q_2^{n+1} = Q_1 \\ Q_3^{n+1} = Q_2 \end{cases} \quad \begin{cases} D_1 = Q_1^{n+1} = \overline{Q_1} \overline{Q_2} = \overline{Q_1} + Q_2 \\ D_2 = Q_2^{n+1} = Q_1 \\ D_3 = Q_3^{n+1} = Q_2 \end{cases}$$

若用D触发器实现这个计数器，其驱动方程为

根据上式画出的逻辑电路如图5.4.6所示

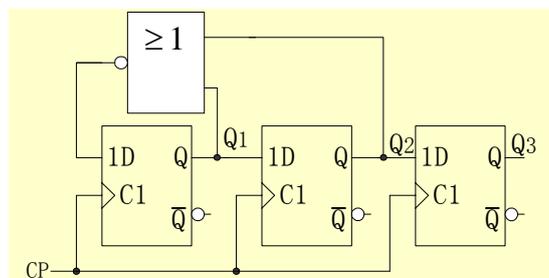


图5.4.6 例5.4.5的逻辑图



合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY



P₃₄₆

习题1, 3, 5, 17, 24, 27





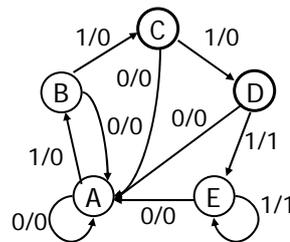
例：“1111”序列检测器

设：输入为x，输出为z

x出现下列序列时：1 1 0 **1 1 1 1** 1 0 0 1 0

z将形成相应序列：0 0 0 0 0 1 1 1 0 0 0 0

是否考虑序列重复???



现态 \ x	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	E/1
E	A/0	E/1

原始状态表

次态/输出(z)

1



序列重复:

x出现下列序列时：1 1 0 **1 1 1 1** 1 0 0 1 0

z将形成相应序列：0 0 0 0 0 0 1 1 1 0 0 0 0

序列不重复:

x出现下列序列时：1 1 0 **1 1 1 1** 1 1 0 0 1 0

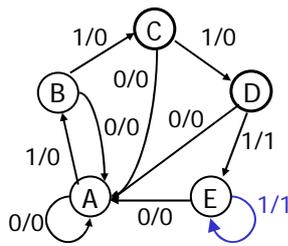
z将形成相应序列：0 0 0 0 0 0 1 0 0 0 0 0 0

2

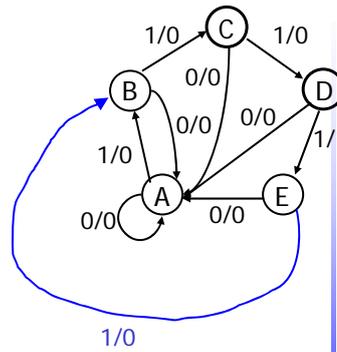




如果不考虑序列重复



序列重复



序列不重复

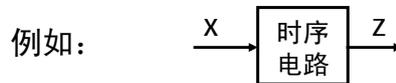
A和E两个节点可以合并

3



原始状态表的简化

等价状态：如果以时序电路的状态 s_i 和 s_j 作为初始状态，把各种可能的输入序列加到该时序电路上，**所得到的输出序列都完全相同**，那么状态 s_i 和 s_j 就是等价的。



	x	
	0	1
A	C/1	B/0
B	C/1	E/0
C	B/1	E/0
D	D/0	B/1
E	E/0	A/1

现态	输入			
	00	01	10	11
A	11	10	01	00
B	11	10	00	01
C	11	10	00	01
D	00	01	11	10
E	00	01	11	10

现态	输入							
	000	001	010	011	100	101	110	111
A	111	110	100	101	011	010	000	001
B	111	110	100	101	000	001	011	010
C	111	110	100	101	000	001	011	010
D	000	001	011	010	111	110	100	101
E	000	001	011	010	111	110	101	100

4



原始状态表的简化

两状态等价的判断标准：

在相同的输入和输出的前提下，

判断状态等价的三种情况：

1. 次态相同
2. 次态交错
3. 次态循环

现态 \ x	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	E/1
E	A/0	E/1

D,E 次态相同

	x	
	0	1
A	C/1	B/0
B	C/1	E/0
C	B/1	E/0
D	D/0	B/1
E	E/0	A/1

B,C 次态交错

5



讨论：

- 问：状态数目是不是越少越好？
- 答：看设计要求。是面积优先、还是可靠性优先。

6



状态编码

■ 常用两种状态编码(状态分配):

- 二进制编码
- “一对一法”编码 (one-hot码, 独热码)

■ 二进制编码

状态个数与二进制代码位数的关系

$$2^{F-1} < S \leq 2^F \quad S \text{ 是状态数, } F \text{ 是二进制位数}$$

可能出现的状态分配方案: (排列问题) $N_A = \frac{2^F!}{(2^F - S)!}$



状态编码(二进制编码)

例如:

状态	x	
	0	1
A	B'0	E'0
B	C'0	G'0
C	D'0	F'0
D	A/1	A'0
E	G'0	C'0
F	A'0	A/1
G	F'0	D'0

状态/输出

	y1	y2	y3
A:	0	0	0
B:	0	0	1
C:	0	1	1
D:	0	1	0
E:	1	0	1
F:	1	1	0
G:	1	1	1

状态分配 1

	y1	y2	y3
A:	0	0	0
B:	0	0	1
C:	0	1	0
D:	0	1	1
E:	1	0	0
F:	1	0	1
G:	1	1	0

状态分配 2

$$J_1 = \bar{y}_2 x + y_3 x, K_1 = \bar{y}_3 + x \quad J_1 = x\bar{y}_3 + x\bar{y}_2, K_1 = x + y_3$$

$$J_2 = y_3, K_2 = \bar{y}_3 \quad J_2 = y_1\bar{y}_3 + \bar{y}_1 y_3, K_2 = y_3 + \bar{x}y_1 + x\bar{y}_1$$

$$J_3 = \bar{y}_2, K_3 = y_2 \quad J_3 = y_2 + \bar{x}y_1, K_3 = 1$$

$$z = \bar{y}_3 y_2 \bar{y}_1 x + \bar{y}_3 y_1 x \quad z = xy_3 + xy_2 y_3$$

方案1: 3个或门, 4个与门

方案2: 6个或门, 9个与门



面积开销比较 (UMC 180nm工艺库)

UMC High Performance Standard Cells

AND2DL

DESCRIPTION:

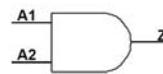
2-Input AND Gate

TRUTH TABLE

A1	A2	Z
0	0	0
0	1	0
1	0	0
1	1	1

Cell Attributes

Area	16.262
Static Power(pW)	53.355
VDD	1.80V
TEMP	25.00C
PROCESS	TYPICAL



二输入与门

9



面积开销比较 (UMC 180nm工艺库)

UMC High Performance Standard Cells

AND3DL

DESCRIPTION:

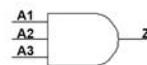
3-Input AND Gate

TRUTH TABLE

A1	A2	A3	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Cell Attributes

Area	29.328
Static Power(pW)	24.877
VDD	1.80V
TEMP	25.00C
PROCESS	TYPICAL



三输入与门

10





面积开销比较 (UMC 180nm工艺库)

UMC High Performance Standard Cells

AND4DL

DESCRIPTION:

4-Input AND Gate

TRUTH TABLE

A1	A2	A3	A4	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



四输入与门

Cell Attributes	
Area	24.02u
State	
Power(pW)	23.456
VDD	1.80V
TEMP	25.00C
PROCESS	TYPICAL

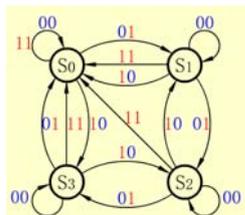
11



比较不同状态编码的硬件开销

- “一对一法”编码
 - 减少设计时间
 - 实现状态的触发器数目多
 - 可以直接由ASM算法流程图获得

例如：已知某个时序机的状态图和状态表



PS (现态)	NS(次态)		
	X1	X2	
00	01	10	11
S0	S1	S3	
S1	S2	S0	
S2	S3	S1	
S3	S0	S2	

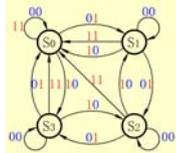
12





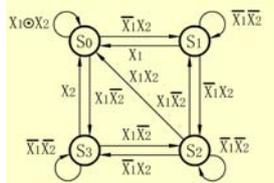
状态编码(一对一法)

将原状态图和状态表改造成文字表示的状态图和状态表:



PS(现态)	AS(次态)			
	X1 X2	00	01	10
S0	S0	S1	S3	S0
S1	S1	S2	S0	S0
S2	S2	S3	S1	S0
S3	S3	S0	S2	S0

PS(现态)	AS(次态)	转换条件
S0	S0	$X_1 \oplus X_2$
	S1	$\bar{X}_1 X_2$
	S3	$X_1 \bar{X}_2$
S1	S0	X_1
	S1	$\bar{X}_1 \bar{X}_2$
	S2	$\bar{X}_1 X_2$
S2	S0	$X_1 X_2$
	S1	$X_1 \bar{X}_2$
	S2	$\bar{X}_1 \bar{X}_2$
S3	S0	X_2
	S2	$X_1 \bar{X}_2$
	S3	$\bar{X}_1 \bar{X}_2$



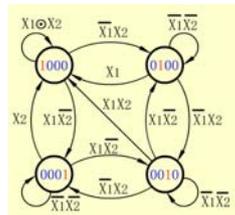
一对一法状态编码表				
触发器	QA	QB	QC	QD
S0	1	0	0	0
S1	0	1	0	0
S2	0	0	1	0
S3	0	0	0	1

13



状态编码(一对一法)

根据“一对一法”状态编码分配得到状态图和状态表:



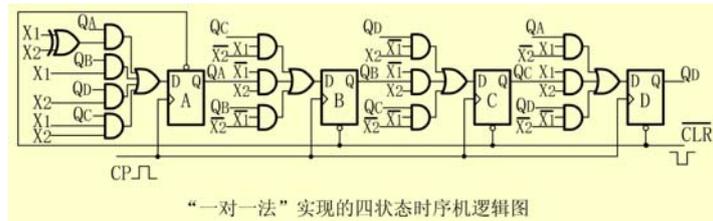
PS(现态)	AS(次态)				转换条件
	QA	QB	QC	QD	
000	0	0	0	0	$X_1 \bar{X}_2$
010	0	1	0	0	$X_1 X_2$
001	0	0	1	0	$\bar{X}_1 X_2$
0010	0	0	0	1	$\bar{X}_1 \bar{X}_2$
000	0	0	0	0	$X_1 X_2$
010	0	1	0	0	$X_1 \bar{X}_2$
001	0	0	1	0	$\bar{X}_1 X_2$
0010	0	0	0	1	$\bar{X}_1 \bar{X}_2$
000	0	0	0	0	$X_1 X_2$
010	0	1	0	0	$X_1 \bar{X}_2$
001	0	0	1	0	$\bar{X}_1 X_2$
0010	0	0	0	1	$\bar{X}_1 \bar{X}_2$

$$\begin{aligned}
 QA &= QA X_1 X_2 + QB X_1 \bar{X}_2 + QC X_1 X_2 + QD X_1 \bar{X}_2 \\
 QB &= QA X_1 X_2 + QB X_1 X_2 + QC X_1 \bar{X}_2 \\
 QC &= QB \bar{X}_1 X_2 + QC \bar{X}_1 \bar{X}_2 + QD X_1 \bar{X}_2 \\
 QD &= QC \bar{X}_1 X_2 + QD \bar{X}_1 \bar{X}_2 + QA X_1 \bar{X}_2
 \end{aligned}$$

14



状态编码(一对一法)

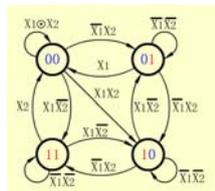


15



状态编码 (计数器法)

触发器	Q1	Q2
状态		
S0	0	0
S1	0	1
S2	1	0
S3	1	1



PS(现态)		NS(次态)		转换条件
Q2	Q1	Q2	Q1	
0	0	0	0	$X_1 \oplus X_2$
0	1	0	1	$\bar{X}_1 X_2$
1	0	1	0	$X_1 \bar{X}_2$
1	1	1	1	$\bar{X}_1 \bar{X}_2$

$$Q_2 = \bar{Q}_2 \bar{Q}_1 (X_1 X_2) + \bar{Q}_2 Q_1 (X_1 X_2) + Q_2 \bar{Q}_1 (X_1) + Q_2 Q_1 (\bar{X}_2)$$

$$Q_1 = Q_1 \bar{X}_1 \bar{X}_2 + \bar{Q}_1 \bar{X}_1 X_2 + \bar{Q}_1 X_1 \bar{X}_2$$

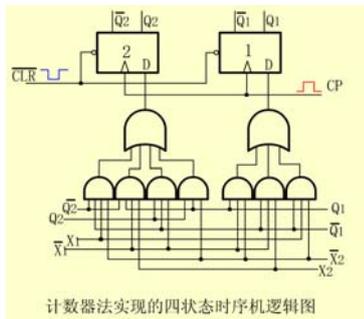
16



状态编码（计数器法）

$$Q_2 = \bar{Q}_2\bar{Q}_1X_1\bar{X}_2 + \bar{Q}_2Q_1\bar{X}_1X_2 + Q_2\bar{Q}_1\bar{X}_1 + Q_2Q_1\bar{X}_2$$

$$Q_1 = Q_1\bar{X}_1\bar{X}_2 + \bar{Q}_1\bar{X}_1X_2 + \bar{Q}_1X_1\bar{X}_2$$

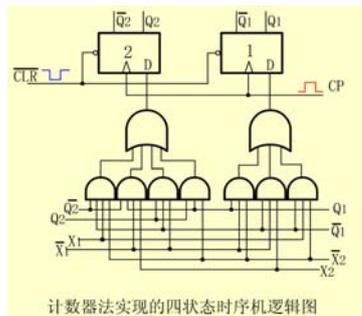


计数器法实现的四状态时序逻辑图

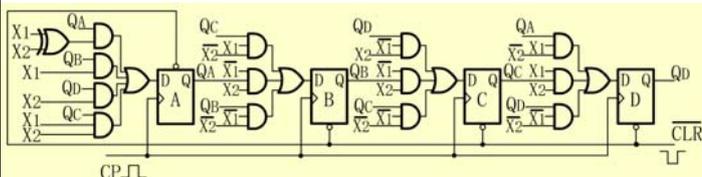
17



不同状态编码的硬件开销



计数器法实现的四状态时序逻辑图



“一对一法”实现的四状态时序逻辑图





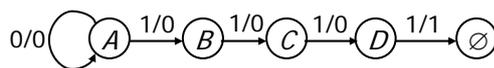
非完全确定同步时序电路设计

■ 非完全确定的概念

完全确定电路： 电路的状态图和状态表中所有次态和输出都是确定的。

非完全确定电路： 电路的状态图和状态表包含着非确定的次态或输出。

例如：“1111”序列检测器安装在某一爆炸装置上，作为引爆控制。
装置不引爆时，输入总是0；装置引爆时，则一定连续输入四个“1”，其间肯定不再输入0。

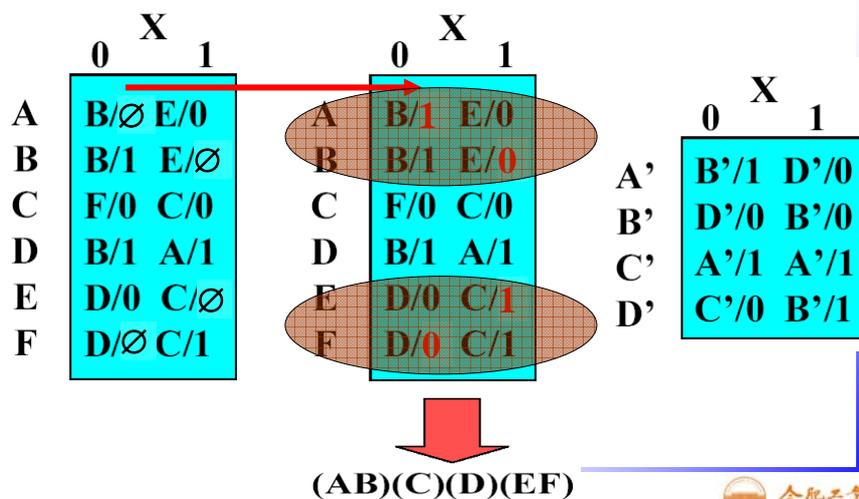


	x	
	0	1
A	A/0	B/0
B	\emptyset/\emptyset	C/0
C	\emptyset/\emptyset	D/0
D	\emptyset/\emptyset	$\emptyset/1$

19



非完全确定状态机的化简



20



非完全确定状态机的化简

