



第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性



内容介绍

本章介绍构成时序逻辑电路的最基本部件—**双稳态触发器**，重点介绍各触发器的结构、工作原理、动作特点，以及触发器从功能上的分类及相互间的转换。

首先从组成各类触发器的基本部分—**SR锁存器**入手，介绍触发器的结构、逻辑功能、动作特点，在此基础上介绍**JK**触发器、**D**触发器、**T**触发器等，给出触发器的描述方程。

本章重点是各触发器的功能表、逻辑符号、触发电平、状态方程的描述等。





基本概念



锁存器和触发器的区别？



1. 锁存器是Latch，触发器是flip-flop。
2. 不同的教科书中对latch和flip-flop的定义不同。
3. 阎石教材中除了SR锁存器，都是触发器。
4.



5.1 概述

一、用于记忆1个比特位的二进制信号

1. 有两个能自行保持的状态
2. 根据输入信号可以置成0或1

二、分类

1. 按触发方式（电平，脉冲，边沿）
2. 按逻辑功能（RS, JK, D, T）
3. 按数据存储原理（静态触发器、动态触发器）

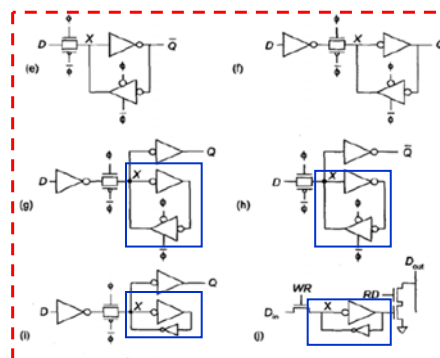
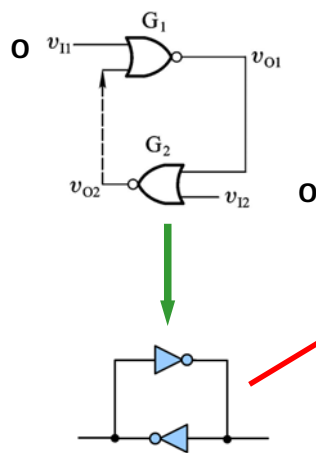


第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性

5.2 SR锁存器

一、电路结构与工作原理



常用缩写



□ **G** : **G**ate 表示门级单元

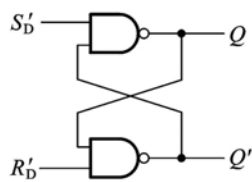
□ **R** : **R**eset

□ **S** : **S**et

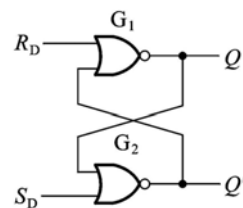
□ 时钟信号: **CK CLK Clock**

□ **Q**的输出取反: **Q' QF \overline{Q}**

SR锁存器的不同形式



与非门形式



或非门形式

工作原理

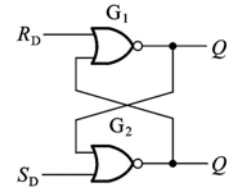
1. 工作原理

两个或非门接成反馈，引出输入端用来置0,1

定义： $Q=1, Q'=0$ 为“1”状态

$Q=0, Q'=1$ 为“0”状态

R_D 为置0输入端， S_D 为置1输入端



2. 根据工作原理得到真值表

① S_D 和 R_D 的“1”信号同时消失后， Q^* 不定

所以正常工作下，应遵循 $S_D R_D = 0$ 的约束条件。

S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0 ^①
1	1	1	0 ^①

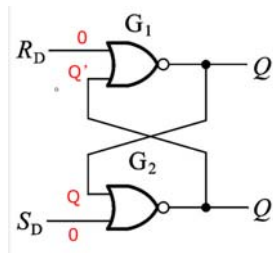
5



根据输入推导输出

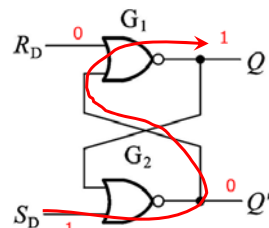
□ $S_D=0, R_D=0$

□ 保持不变



□ $S_D=1, R_D=0$

□ 置1



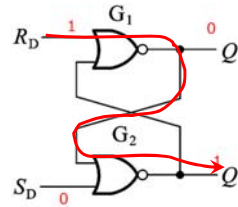
6



根据输入推导输出

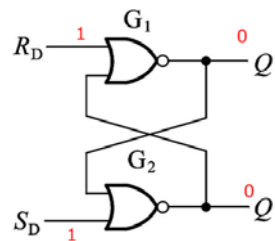
□ $S_D=0$ $R_D=1$

□ 置0

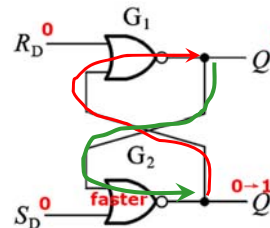
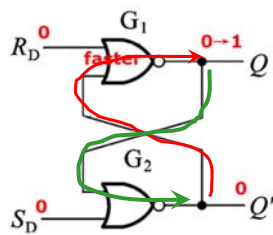


□ $S_D=1$ $R_D=1$

□ $Q=0$ $Q'=0$ 逻辑错误



$S_D=1$ $R_D=1$



□ $S_D=1$ $R_D=1$

□ $Q=0$ $Q'=0$ 逻辑错误

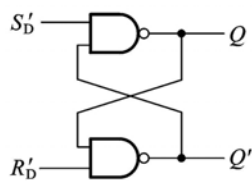
□ S_D 、 R_D 同时回到0无法判断次态

SR锁存器的真值表

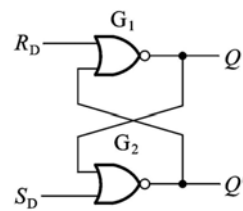
- 记忆方法:
- S是Set, 置位信号。
- R是Reset, 复位信号。
- $S_D R_D$ 不能同时为1

		现态 次态	
S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0 [Ⓚ]
1	1	1	0 [Ⓚ]

SR锁存器的不同形式



与非门形式

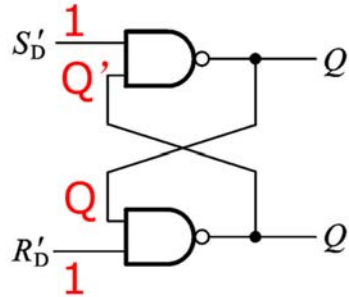


或非门形式

SR 锁存器的与非门形式 (1)

□ $S_D' = 1$ $R_D' = 1$

□ 保持不变

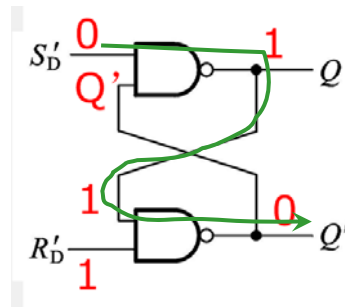


11

SR 锁存器的与非门形式 (2)

□ $S_D' = 0$ $R_D' = 1$

□ $Q = 1$ $Q' = 0$

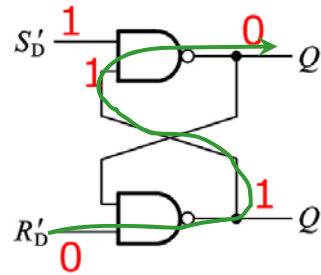


12

SR 锁存器的与非门形式 (3)

□ $S_D' = 1$ $R_D' = 0$

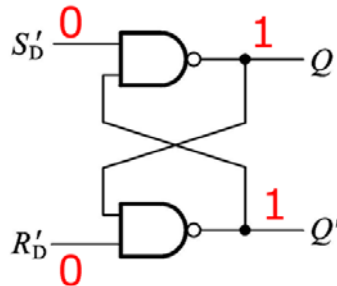
□ $Q = 0$ $Q' = 1$



SR 锁存器的与非门形式 (4)

□ $S_D' = 0$ $R_D' = 0$

☛ $Q = 1$ $Q' = 1$ 非法状态



SR锁存器的动作特点

在任何时刻，输入都能直接改变输出的状态。

例：

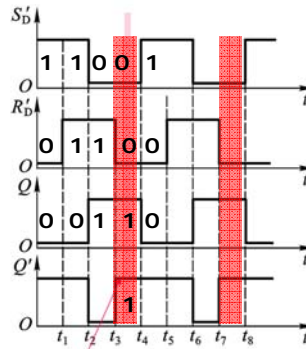
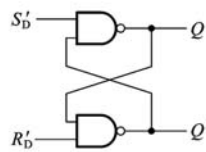


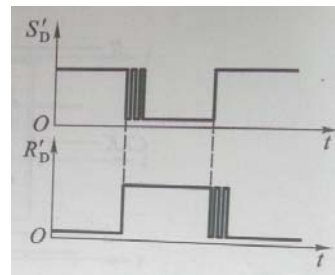
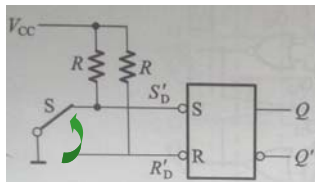
表5.2.2

$S_b R_b$	Q^*	说明
0 0	1 ^①	禁态 (不定态)
0 1	1	置1(置位)
1 0	0	置0(复位)
1 1	Q	储存

S_D' 和 R_D' 同时为0 \Rightarrow Q, Q' 同为1

典型应用：消颤开关（1）

拨动开关S时，由于开关触点接通瞬间发生颤动，要求画出Q、Q'的波形。



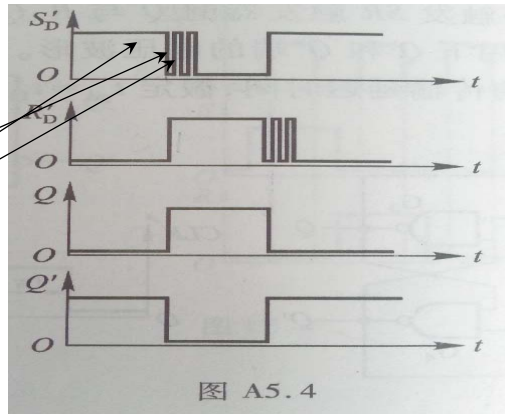
$S_D' R_D' = 10 \rightarrow 01 \rightarrow 11 \rightarrow 01 \rightarrow 11 \rightarrow 01$



典型应用：消颤开关（2）

$S_D'R_D' = 10 \rightarrow 01 \rightarrow 11 \rightarrow 01 \rightarrow 11 \rightarrow 01$

$S_D'R_D'$	Q^*	说明
0 0	1 ⁰	禁态 (不定态)
0 1	1	置1(置位)
1 0	0	置0(复位)
1 1	Q	储存





第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性



时钟触发器

- 在数字系统中，常常要求某些触发器在同一时刻动作，这就要求有一个同步信号来控制，这个控制信号叫做**时钟信号 (Clock)**，简称时钟，用CLK表示。这种受时钟控制的触发器统称为**时钟触发器**。
- 时钟的频率、相位、上升延迟、下降延迟对于电路工作特性具有重要影响。

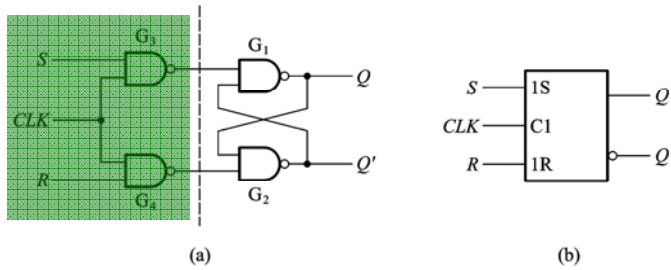


5.3 电平触发的触发器

一、电路结构与工作原理

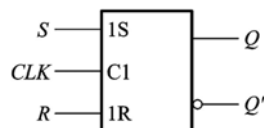
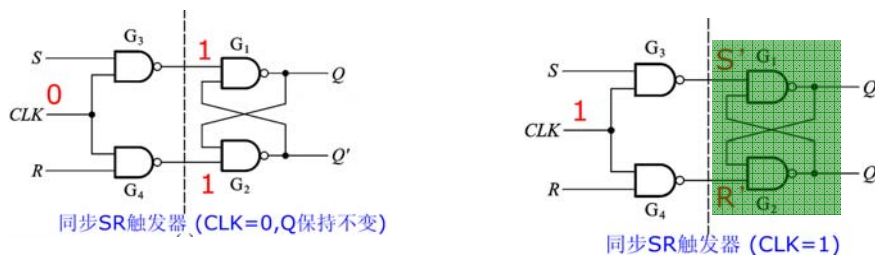
输入控制门+基本RS触发器

只有触发信号CLK到达，S和R才起作用。



3

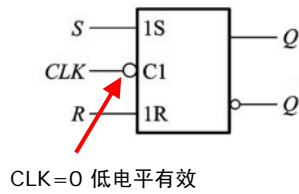
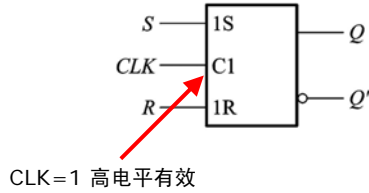
CLK=1时Q可能变化



4

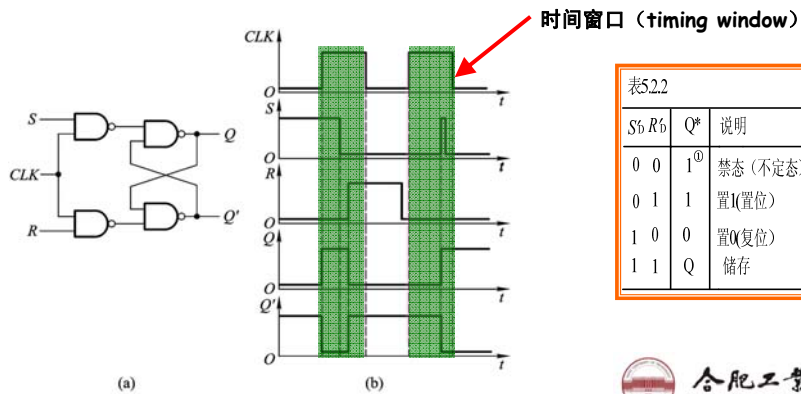


仔细判断高电平还是低电平有效



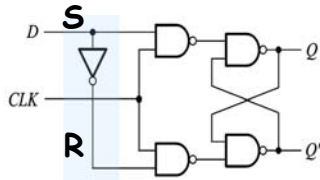
二、电平触发方式的动作特点

- CLK=1, S和R的变化都将引起输出状态变化。
- CLK=1, Q和Q'可能随S、R变化多次翻转。



电平触发的D触发器(D型锁存器)

□ 将R和S反向连接在一起



CLK	S	R	Q	Q*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

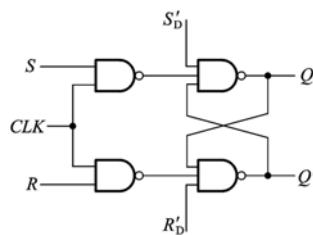
合法状态

CLK	D	Q
0	X	1
1	0	0
1	1	1

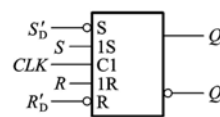
7

带异步置位、复位的电平SR触发器

- 某些应用场合，需要在CLK的有效电平到达之前预先将触发器置成指定的状态。
- 正常工作时， S'_d 和 R'_d 处于高电平。
 - $CLK=0, S'_d=0, R'_d=1, Q=1$
 - $CLK=0, S'_d=1, R'_d=0, Q=0$

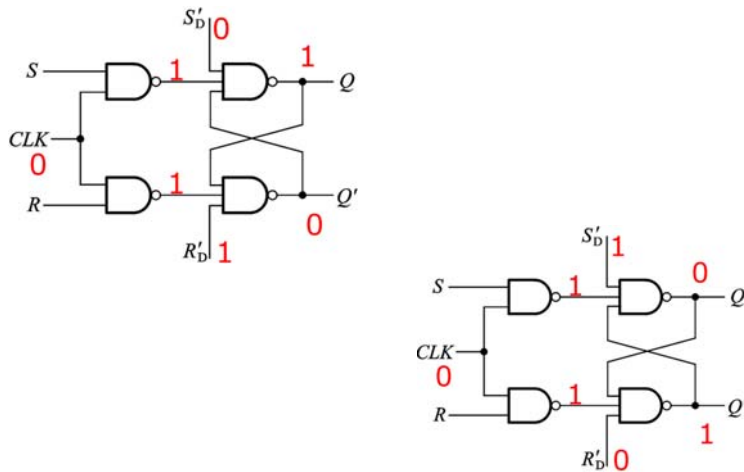


(a)



(b)

带异步置位、复位的电平SR触发器



9

透明的D型锁存器(Transparent D-Latch)

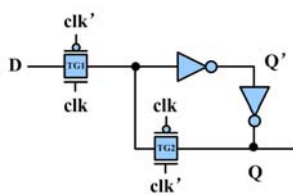
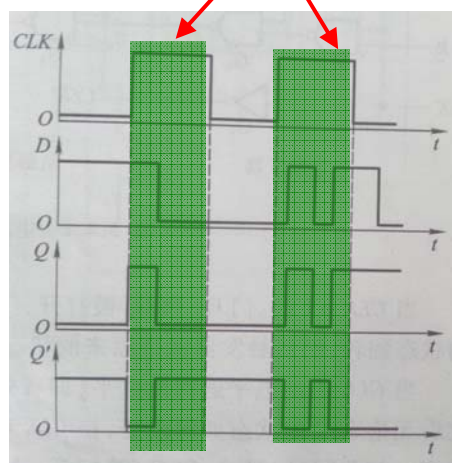


图 5.3.5

图5.3.5是CMOS传输门组成的电平触发器(透明的D型锁存器), 仔细观察输入、输出波形。

时间窗口 (timing window)





透明的D型锁存器(Transparent D-Latch)

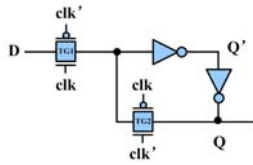
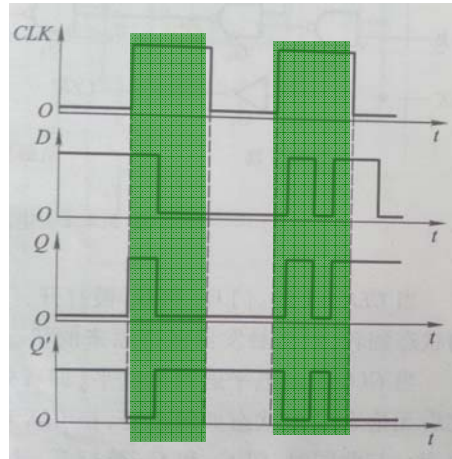


图 5.3.5

CLK=1，输出Q随着输入D的变化多次变化。



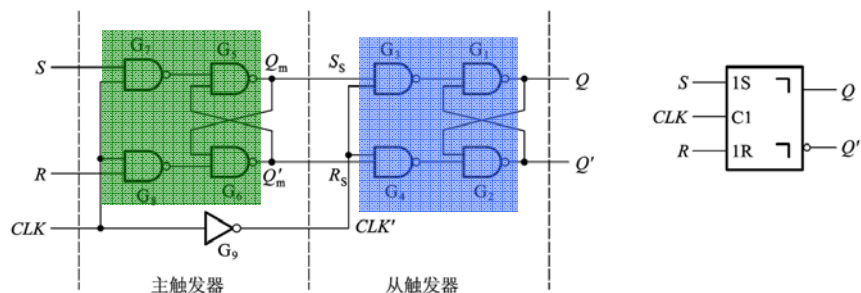
第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性

1

5.4 脉冲触发的触发器

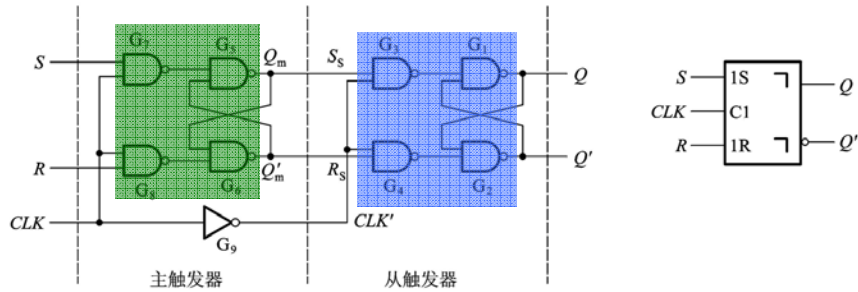
为了避免空翻现象，提高触发器工作的可靠性，希望在每个CLK期间输出端的状态只改变一次，则在电平触发触发器的基础上设计出脉冲触发触发器。



主从SR触发器(Master-Slave SR Flip-Flop)

2

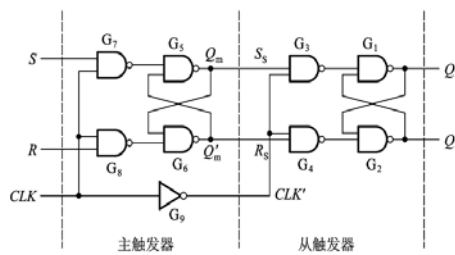
主从SR触发器



由 $G_5 \sim G_8$ 构成主触发器，由 $G_1 \sim G_4$ 构成从触发器，它们通过时钟连在一起， $CLK_{从} = CLK'$ 。

3

主从SR触发器的电路结构与工作原理



CLK	S	R	Q	Q*
X	X	X	X	Q ⁿ
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	0	0
0	1	1	0	0
1	1	0	1*	1*
1	1	1	1*	1*

1. 主从SR触发器

(1) $clk = 1$ 时，“主”按 S, R 翻转，“从”保持

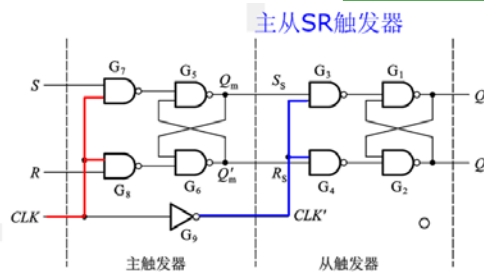
(2) clk 下降沿到达时，“主”保持，

“从”根据“主”的状态翻转

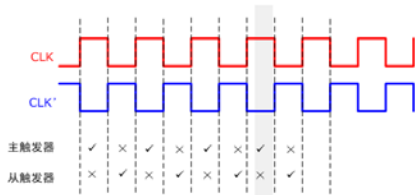
所以每个 clk 周期，输出状态只可能 改变一次

4

主从SR触发器工作原理



! 关键是时钟信号CLK和CLK'的连接方式



1. 主从SR触发器

(1) $clk = 1$ 时, “主”按 S, R 翻转, “从”保持

(2) clk 下降沿到达时, “主”保持,

“从”根据“主”的状态翻转

所以每个 clk 周期, 输出状态只可能 改变一次

5

主从SR触发器

主从SR触发器的特性表如表5.4.1所示, 和电平触发的SR触发器相同, 只是CLK作用的时间不同

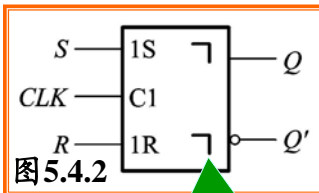


图5.4.2

表示延迟输出, CLK回到低电平后, 输出状态才改变。

表5.4.1

CLK	S	R	Q	Q*	说明
×	×	×	×	Q	保持原态
↓	0	0	0	0	} 储存
↓	0	0	1	1	
↓	0	1	0	0	} 置0(复位)
↓	0	1	1	0	
↓	1	0	0	1	} 置1(置位)
↓	1	0	1	1	
↓	1	1	0	1*	} 不定态
↓	1	1	1	1*	

6

比较电平触发SR触发器和主从SR触发器

电平触发SR触发器

表5.2.2

S	R	Q*	说明
0	0	1 [⊙]	禁态 (不定态)
0	1	1	置1(置位)
1	0	0	置0(复位)
1	1	Q	储存

主从触发SR触发器

CLK	S	R	Q	Q*	说明
×	×	×	×	Q	保持原态
↓	0	0	0	0	} 储存
↓	0	0	1	1	
↓	0	1	0	0	} 置0(复位)
↓	0	1	1	0	
↓	1	0	0	1	} 置1(置位)
↓	1	0	1	1	
↓	1	1	0	1*	} 不定态
↓	1	1	1	1*	

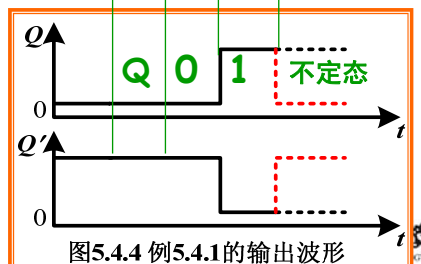
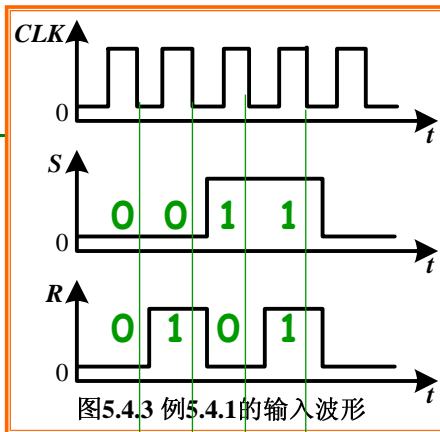
7

例5.4.1 图5.4.3为主从型SR触发器输入信号波形，试画出输出端Q和Q'的波形，设初态为“0”。

解：其输出波形如图5.4.4所示

CLK	S	R	Q	Q*	说明
×	×	×	×	Q	保持原态
↓	0	0	0	0	} 储存
↓	0	0	1	1	
↓	0	1	0	0	} 置0(复位)
↓	0	1	1	0	
↓	1	0	0	1	} 置1(置位)
↓	1	0	1	1	
↓	1	1	0	1*	} 不定态
↓	1	1	1	1*	

8



主从RS触发器的潜在问题

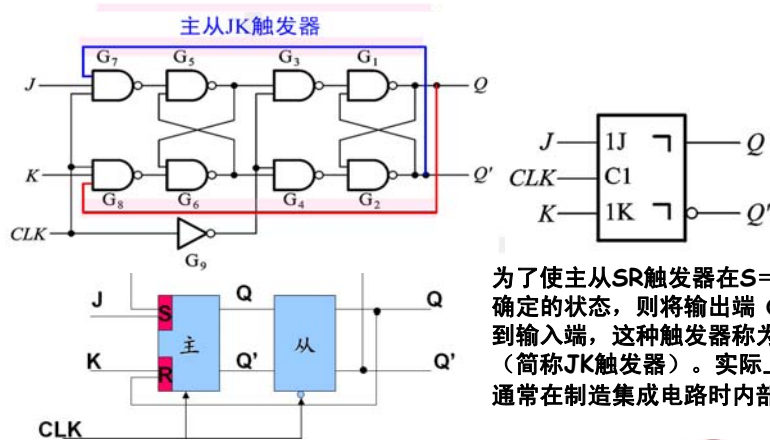


注：主从RS触发器克服了同步RS触发器在 $CP=1$ 期间多次翻转的问题，但在 $CLK=1$ 期间，主触发器的输出仍会随输入的变化而变化，且仍存在不定态，输入信号仍遵守 $SR=0$ 。

9

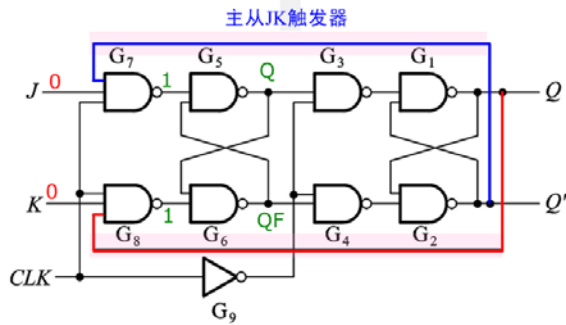
2、主从JK触发器

为解除约束
即使出现 $S=R=1$ 的情况下， Q^* 也是确定的



10

J=0, K=0, 保持不变



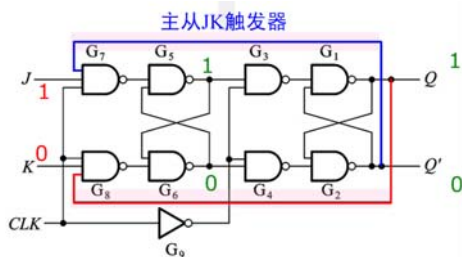
主触发器保持原态，则触发器（从触发器）也保持原态。

电平触发SR触发器

CLK	S	R	Q	Q*
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

11

J=1, K=0, Q*=1



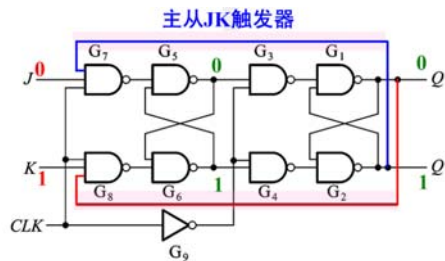
主触发器置1，从触发器也置1。

电平触发SR触发器

CLK	S	R	Q	Q*
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

12

$J=0, K=1, Q^*=0$



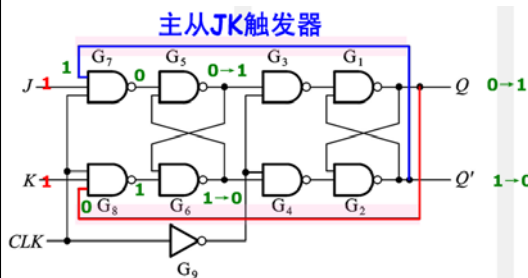
主触发器置0，从触发器也置0。

电平触发SR触发器

CLK	S	R	Q	Q*
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

13

$J=1, K=1, Q^*=Q'$



分别考虑Q=1和Q=0的情况， $Q^*=Q'$ 。

以Q=0为例。

电平触发SR触发器

CLK	S	R	Q	Q*
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

14

比较真值表

主从SR触发器

CLK	S	R	Q	Q*
X	X	X	X	Q'
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*



主从JK触发器

CLK	J	K	Q	Q*
X	X	X	X	Q'
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

主从JK触发器

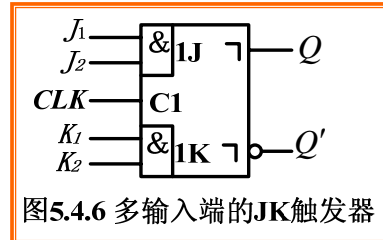
表5.4.2

CLK	J	K	Q	Q*	说明
X	X	X	X	Q	保持原态
	0	0	0	0	} 储存
	0	0	1	1	
	0	1	0	0	} 置0(复位)
	0	1	1	0	
	1	0	0	1	} 置1(置位)
	1	0	1	1	
	1	1	0	1	} Q' 计数
	1	1	1	0	



J	K	Q*	说明
0	0	Q	存储
0	1	0	} Q*=J
1	0	1	
1	1	Q'	计数

注：在有些集成触发器中，输入端J和K不止一个，这些输入端是与的关系。如图5.4.6为其逻辑符号图。



二、脉冲触发方式的动作特点

1.分两步动作：第一步在 $CLK=1$ 时，主触发器受输入信号控制，从触发器保持原态；第二步在 $CLK\downarrow$ 到达后，从触发器按主触发器状态翻转，故触发器输出状态只能改变一次；

2.主从JK触发器在 $CLK=1$ 期间，主触发器只可能翻转一次，因为收到反馈回来的输出端的影响，故在 $CLK=1$ 期间若输入发生变化时，要找出 $CLK\downarrow$ 来到前的Q状态，决定 Q^* 。

$Q=0$ 时，只允许 $J=1$ 的信号进入主触发器

$Q=1$ 时，只允许 $K=1$ 的信号进入主触发器



使用主从结构的注意事项

□ CLK=1 的全部时间里，输入状态始终未变的情况下，用CLK下降沿到达时输入的状态决定触发器的次态才是正确的

□ 可以结合课后习题的实例来讲解。

例5.4.2 如图5.4.7所示的主从JK触发器电路中，已知CLK、J、K的波形如图5.2.8所示，试画出输出端Q和Q'的波形。

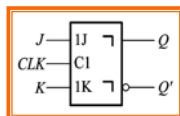
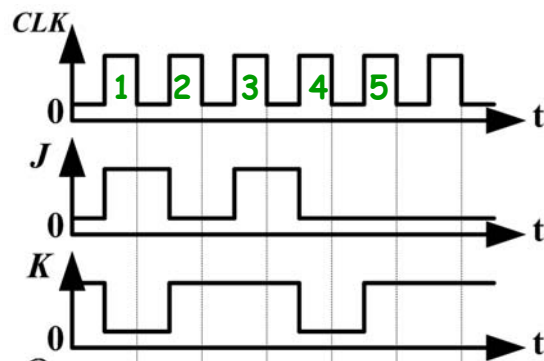


图5.4.7

CLK	J	K	Q	Q*
X	X	X	X	Q'
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0



例5.4.2 如图5.4.7所示的主从JK触发器电路中，已知CLK、J、K的波形如图5.2.8所示，试画出输出端Q和Q'的波形。

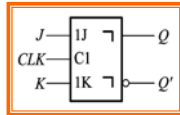


图5.4.7

CLK	J	K	Q	Q*
X	X	X	X	Q'
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1	1
1	1	1	0	0

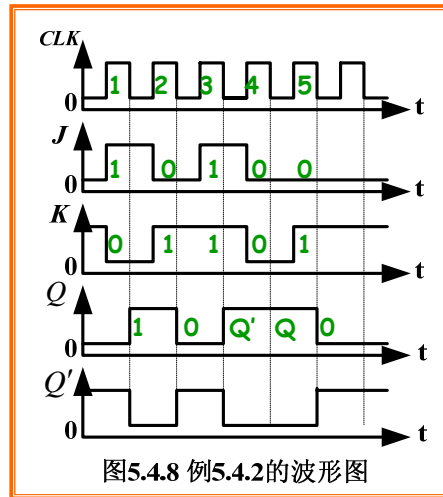
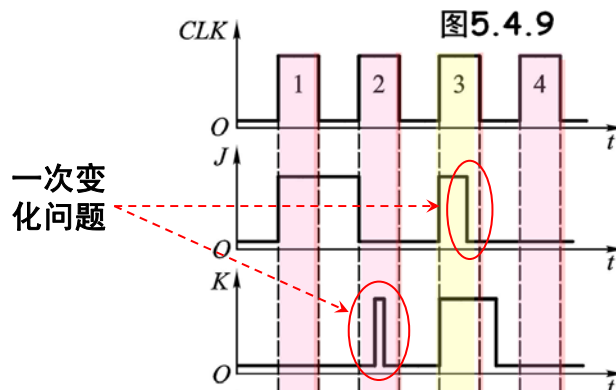


图5.4.8 例5.4.2的波形图

21

例5.4.3 已知主从JK触发器的输入及时钟波形如图5.4.9所示，试画出输出端Q和Q'波形

CLK	J	K	Q	Q*
X	X	X	X	Q'
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1	1
1	1	1	0	0



22

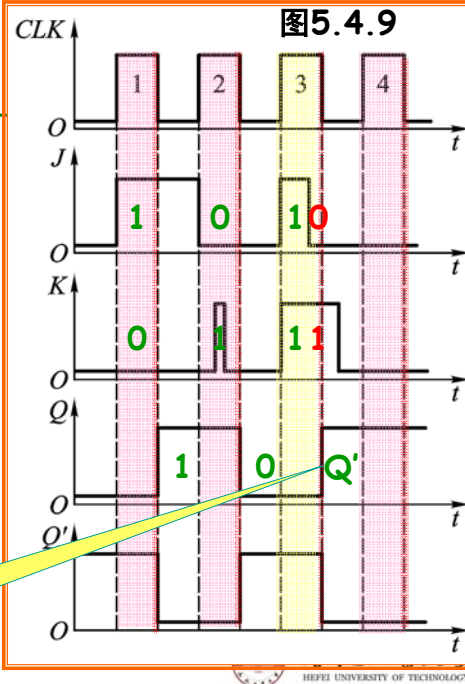
例5.4.3 已知主从JK触发器的输入及时钟波形如图5.4.9所示，试画出输出端Q和Q'波形



CLK=1时主触发器只可能翻转一次，翻转了就不会翻回原来的状态。

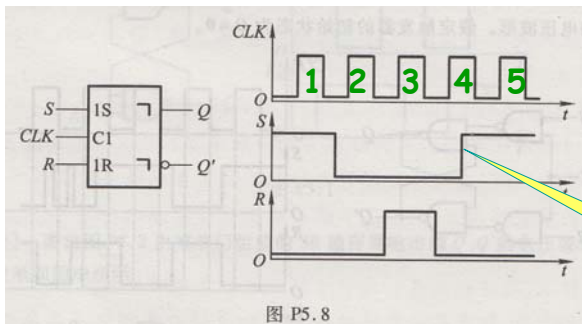
CLK	J	K	Q	Q'
x	x	x	x	Q'
0	0	0	0	1
0	0	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	0	1
1	1	1	1	0

一次变化问题



题5.8 教材250页

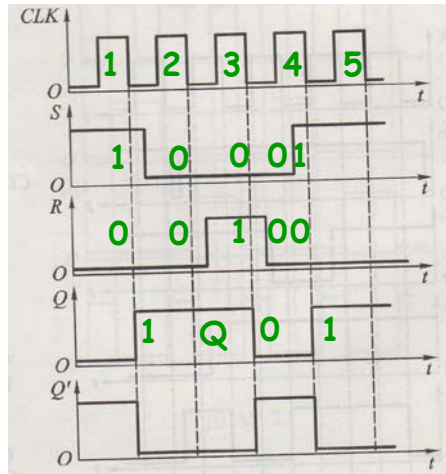
题5.8 在脉冲触发SR触发器电路中，给出S、R、CLK端的波形，画出输出Q、Q'的波形。



多次变化问题

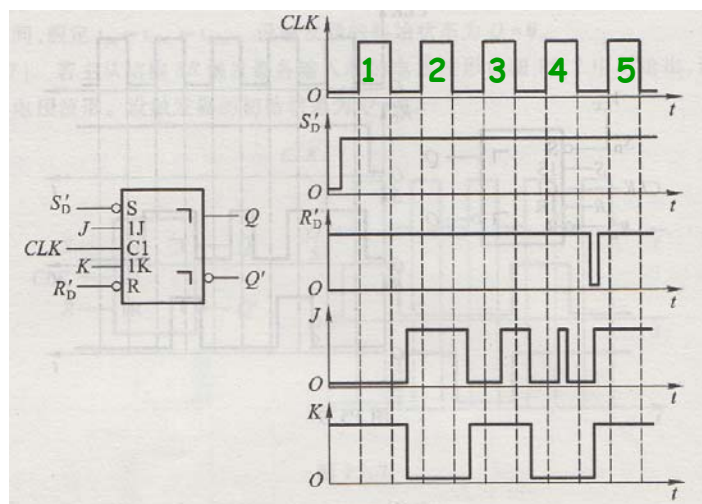
题5.8 在脉冲触发SR触发器电路中，给出S、R、CLK端的波形，画出输出Q、Q'的波形。

CLK	S	R	Q	Q*
X	X	X	X	Q*
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1*	1*
1	1	1	1*	1*



25

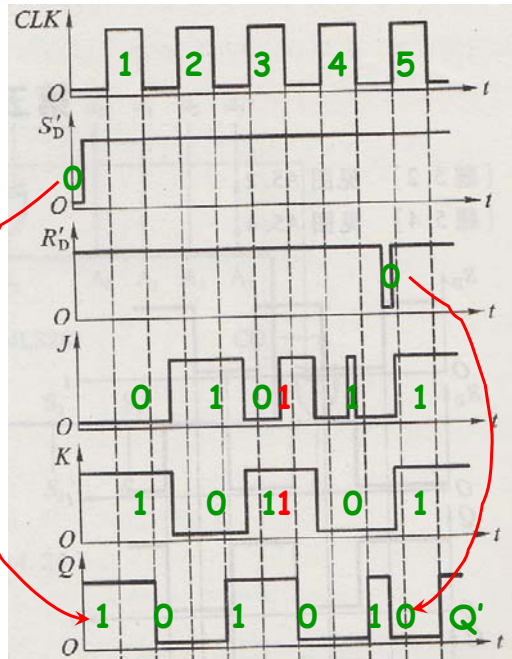
题5.12 在脉冲触发JK触发器电路中，给出J、K、R'b、S'b、CLK端的波形，画出输出Q、Q'的波形。



26

题5.12 在脉冲触发JK触发器电路中，给出J、K、 R'_D 、 S'_D 、CLK端的波形，画出输出Q、 Q' 的波形。

CLK	J	K	Q	Q'
x	x	x	x	Q'
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0





第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器**
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性

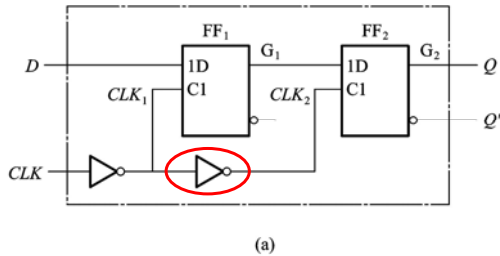


5.5 边沿触发的触发器

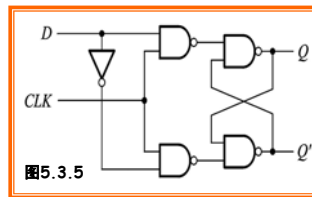
- 为了提高可靠性，增强抗干扰能力，希望触发器的次态**仅取决于CLK的下降沿（或上升沿）**到来时的输入信号状态，与在此前、此后输入的状态没有关系
 - 1. **用两个电平触发D触发器组成的边沿触发器。**
 - 2. 维持-阻塞触发器(略)
 - 3. 利用门电路传输延迟时间的边沿触发器(略)



1、两个电平触发D触发器组成的边沿触发器



电路如图5.5.1所示，其中 FF_1 和 FF_2 都是电平触发的D触发器，它们之间也是通过时钟相连。

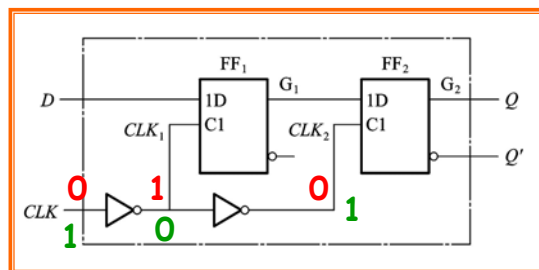


3

工作原理

工作原理：

①当 $CLK=0$ ，触发器状态不变， FF_1 输出状态与D相同；

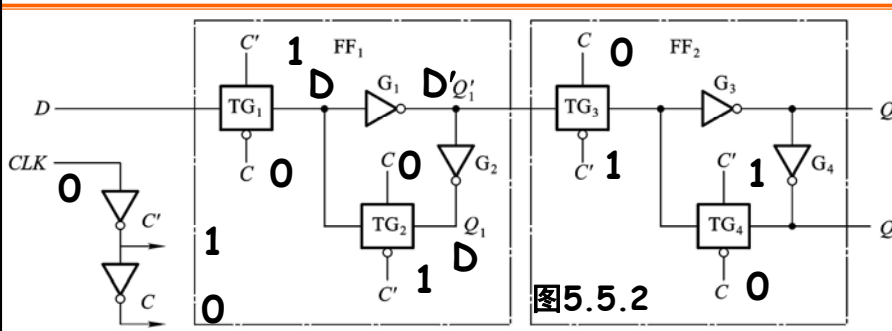


②当 $CLK=1$ ，即 \downarrow ，触发器 FF_1 状态与前沿到来之前的D状态相同并保持（因为 $CLK_1=0$ ）。而与此同时， FF_2 输出Q的状态被置成前沿到来之前的D的状态，而与其它时刻D的状态无关。

4

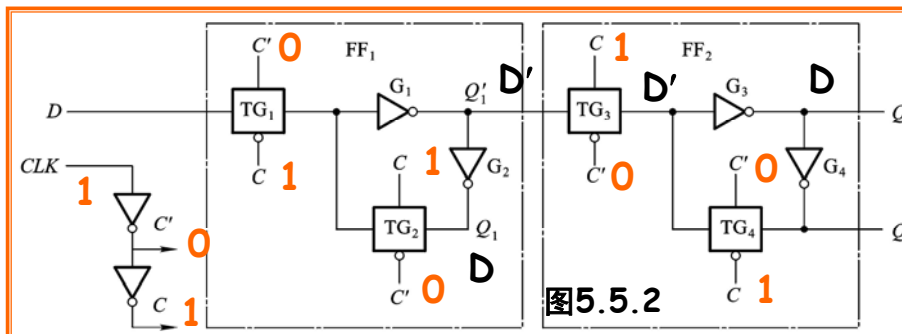
利用CMOS传输门的边沿触发器(1)

电路如图5.5.2所示



(1) $CLK = 0$ 时, $\begin{cases} TG_1 \text{通}, TG_2 \text{断} \rightarrow Q_1 = D, Q_1 \text{随着} D \text{而变化} \\ TG_3 \text{断}, TG_4 \text{通} \rightarrow Q \text{保持, 反馈通路接通, 自锁} \end{cases}$

利用CMOS传输门的边沿触发器(2)



(2) $CLK \uparrow$ 后, $\begin{cases} TG_1 \text{断}, TG_2 \text{通} \rightarrow \text{“主”保持此前的状态} D \\ TG_3 \text{通}, TG_4 \text{断} \rightarrow Q^* = D, \text{反馈不通} \end{cases}$

故这是一个上升沿触发的D触发器

利用CMOS传输门的边沿触发器(3)

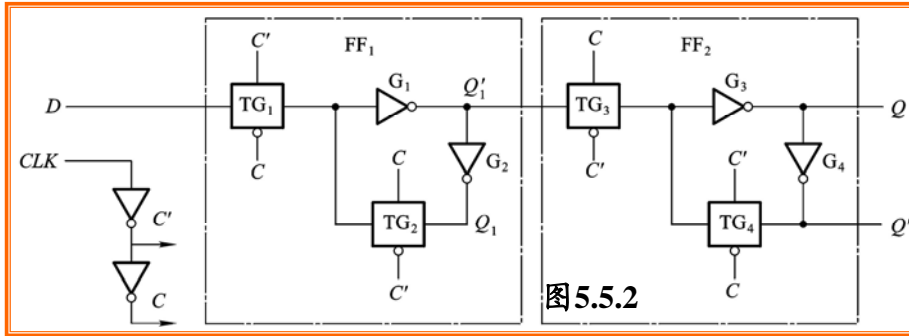
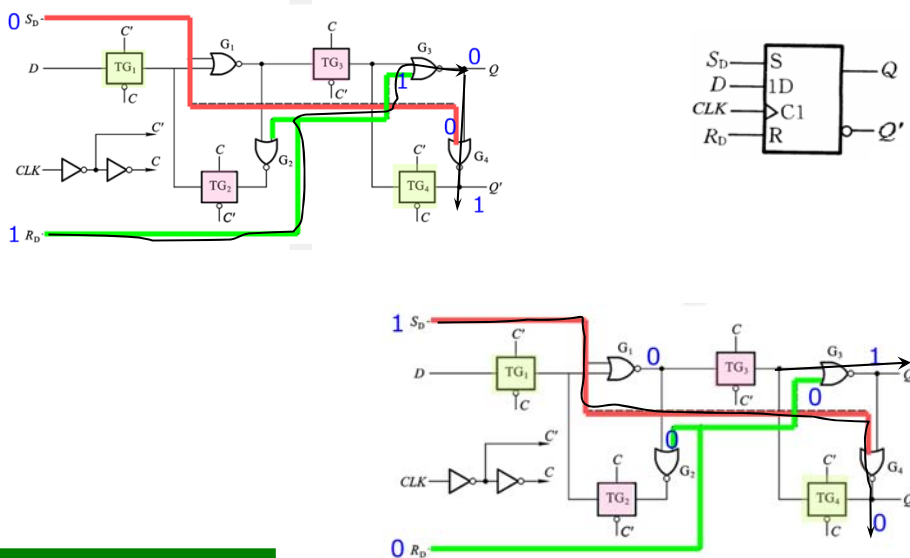


图5.5.2

(3) $CLK \downarrow$ $\begin{cases} TG_1 \text{通}, TG_2 \text{断} \rightarrow Q_1 = D, \text{接收新的输入} \\ TG_3 \text{断}, TG_4 \text{通} \rightarrow Q \text{保持, 反馈通路接通} \end{cases}$
直到下个 $CLK \uparrow$ 后, 输出才能变化。

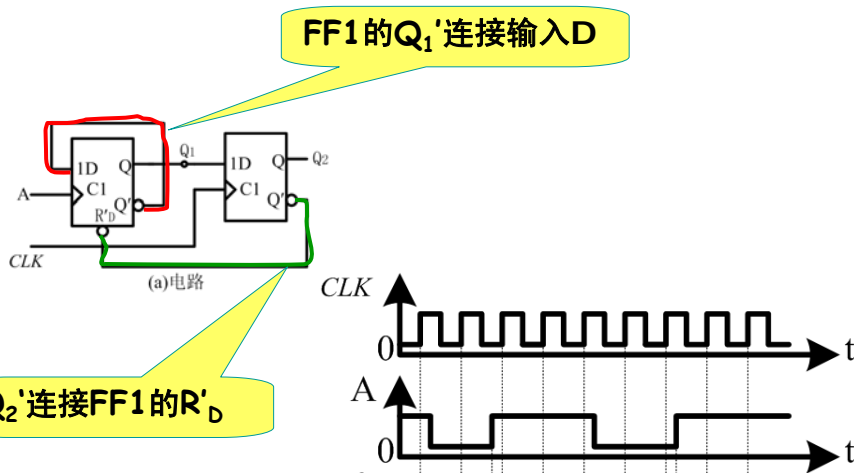
带异步置1, 置0



边沿触发器的动作特点

- Q^* 变化发生在CLK的上升沿（或者下降沿）
- Q^* 仅取决于上升沿到达时输入的状态，而与此前、后的状态无关
- 注： Q^* 是次态（Next State）

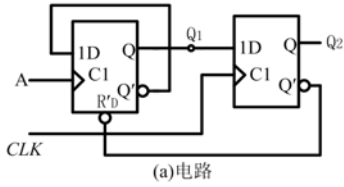
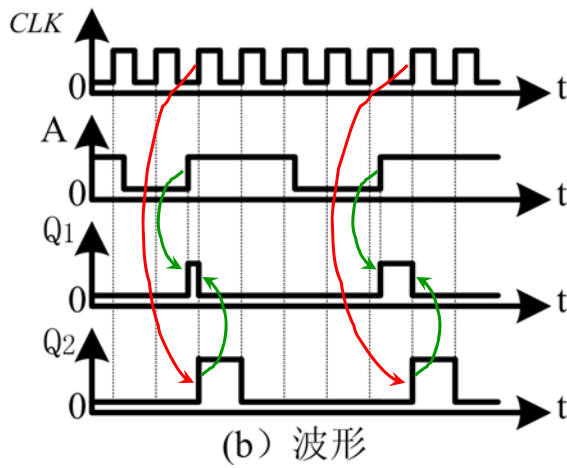
例5.5.1 试画出图5.5.4(a)所示电路的 Q_1 和 Q_2 的波形。设各触发器初态为0。





例5.5.1 试画出图5.5.4(a)所示电路的 Q_1 和 Q_2 的波形。设各触发器初态为0。

解:





第五章 触发器

- 5.1 概述
- 5.2 SR锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法
- *5.7 触发器的动态特性



5.6 触发器的逻辑功能及其描述方法

5.6.1 触发器按逻辑功能的分类

时钟控制的触发器中，由于**输入方式不同**（单端，双端输入）、**次态随输入变化的规则不同**。
分为：

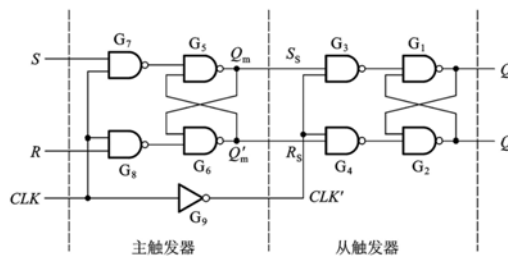
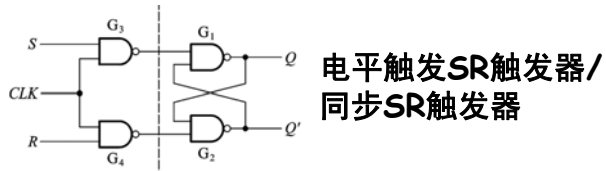
1. SR触发器
2. JK触发器
3. T触发器
4. D触发器



1、SR触发器(1)

1. 特性表

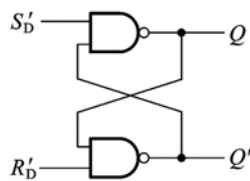
S	R	Q	Q*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1*
1	1	1	1*



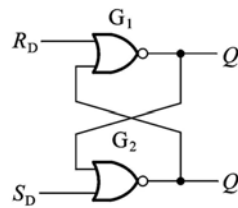
主从SR触发器

3

SR锁存器的不同形式



与非门形式



或非门形式



是SR锁存器，不是SR触发器

4

1、SR触发器(2)

1. 特性表

S	R	Q	Q*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1*
1	1	1	1*

3. 状态转移图

4. 符号

2. 特性方程

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = S'R'Q + SR' = S + R'Q \\ SR = 0 \end{cases}$$

合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY

电子科学与应用物理学院
School of Electronic Science & Applied Physics

2、JK触发器(1)

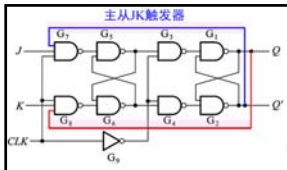
1. 特性表

J	K	Q	Q*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

主从JK触发器

合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY

6



2、JK触发器(2)

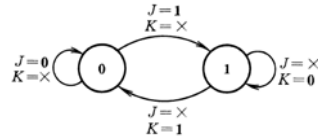
1. 特性表

J	K	Q	Q*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

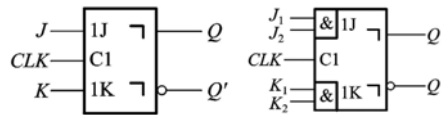
2. 特性方程

$$Q^* = JQ' + K'Q$$

3. 状态转移图



4. 符号



7

3. T触发器

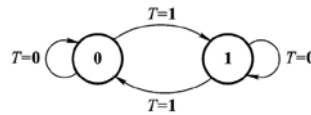
1. 特性表

T	Q	Q*
0	0	0
0	1	0
1	0	1
1	1	0

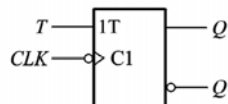
2. 特性方程

$$Q^* = TQ' + T'Q$$

3. 状态转移图



4. 符号



8

4、D触发器

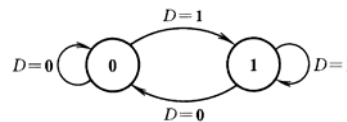
1. 特性表

D	Q	Q*
0	0	0
0	1	0
1	0	1
1	1	1

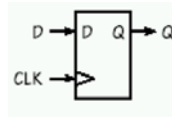
2. 特性方程

$$Q^* = D$$

3. 状态转移图



4. 符号



⚠ 触发器之间的相互转换

- JK→SR: J、K端当作S、R端使用
- JK→T: J、K端连接在一起当作T端
- JK→D: $J=K'$, J、K端反向连接在一起
- SR→D: S、R端反向连接在一起当作D端
- D→T: 将Q'端连接D端



- ✓ 重要考点
- ✓ 题型: 选择题、填空题



5.6.2 触发器的电路结构、逻辑功能、触发方式

- 电路结构和逻辑功能没有一一对应关系
 - SR触发器有“与非”门和“或非”门形式
 - JK触发器也可以完成T触发器的功能
- 触发方式是由电路结构决定
- 逻辑功能和触发方式是最重要的2个属性

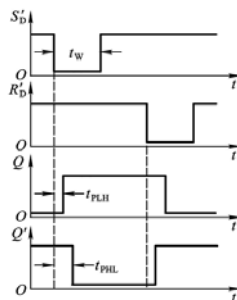
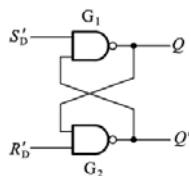


- ✓ 重要考点
- ✓ 题型：选择题、判断题



5.7 触发器的动态特性 (略)

1. SR锁存器的动态特性



$$t_w \geq 2t_{pd}$$

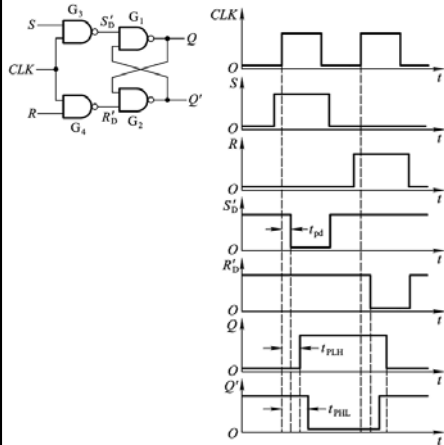
$$t_{PLH} = t_{pd}$$

$$t_{PHL} = 2t_{pd}$$

与非门的传输延迟是 t_{pd}



2. 电平触发SR触发器的动态特性



$$t_{W(S-CLK)} \geq 2t_{pd}$$

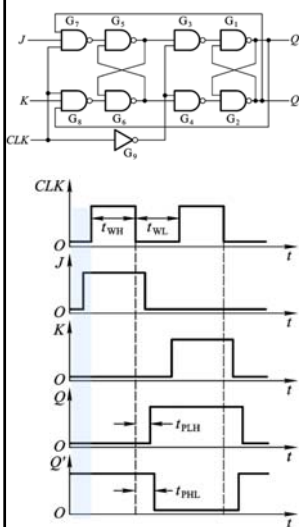
$$t_{PLH} = 2t_{pd}$$

$$t_{PHL} = 3t_{pd}$$

与非门的传输迟是 t_{pd}

13

3. 主从触发器的动态特性



$$t_{setup} \geq 2t_{pd} \quad \text{建立时间}$$

$$t_{hold} \geq t_f \quad \text{保持时间}$$

$$t_{PLH} = 3t_{pd}$$

$$t_{PHL} = 4t_{pd}$$

$$T_{C(\text{Min})} \geq 7t_{pd}$$

与非门的传输迟是 t_{pd}

14



P₂₄₈ 习题2, 4, 6
画图请用铅笔!

